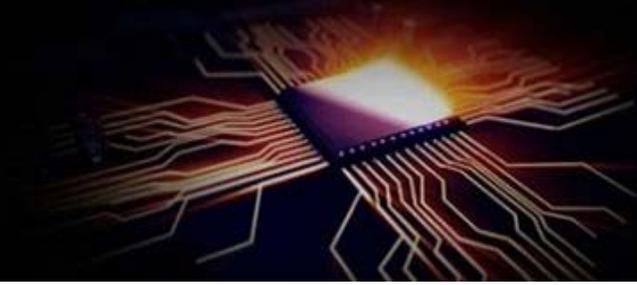


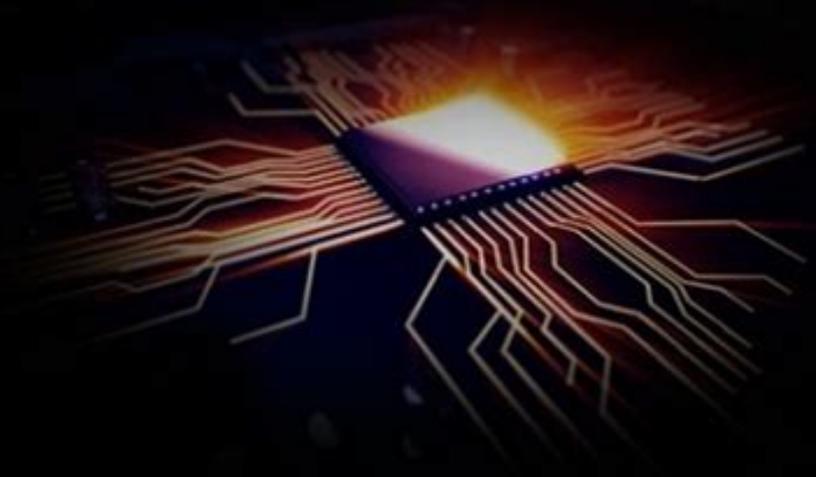


TEMA 3

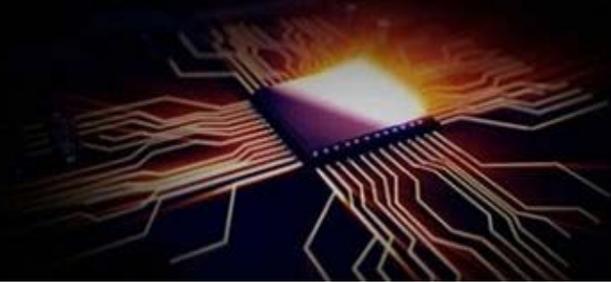
CIRCUITOS DIGITALES INTEGRADOS COMERCIALES



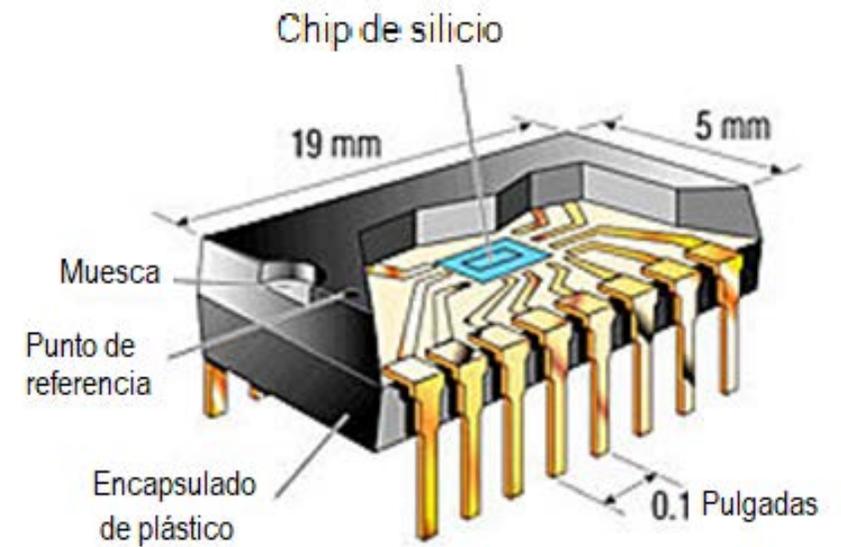
1. **Introducción a la lógica integrada**
2. **Estimación y evaluación de las propiedades del C.I.**
3. **Lógica integrada TTL**
4. **Lógica integrada MOSFET**
5. **Compatibilidad lógica-eléctrica entre Tecnologías. Interfaces eléctricas**



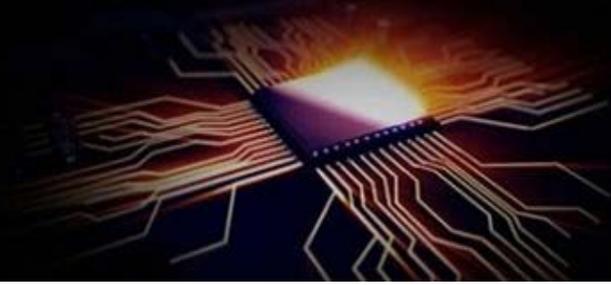
INTRODUCCIÓN A LA LÓGICA INTEGRADA



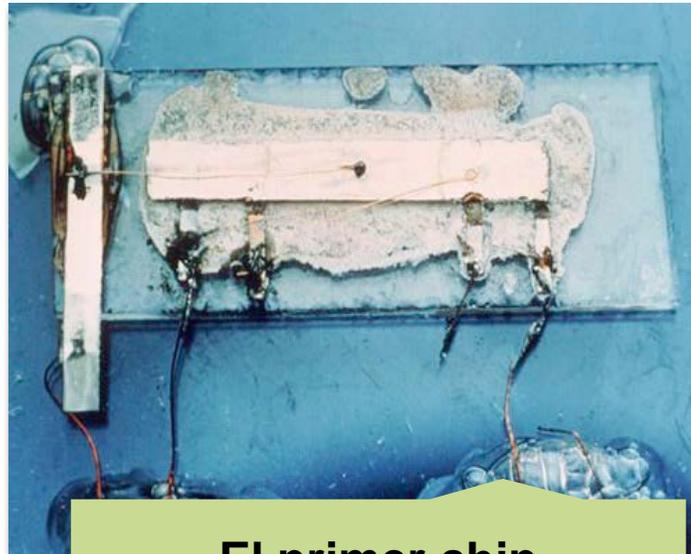
- Un **circuito integrado** (también conocido como un IC o microchip) es un conjunto de circuitos electrónicos construidos en un pequeño pedazo (chip) de material semiconductor (normalmente silicio)
 - Los circuitos integrados fueron posibles gracias a los **transistores MOS**
 - Desde sus orígenes en la **década de 1960**, el tamaño, la velocidad y la capacidad de los chips han progresado enormemente



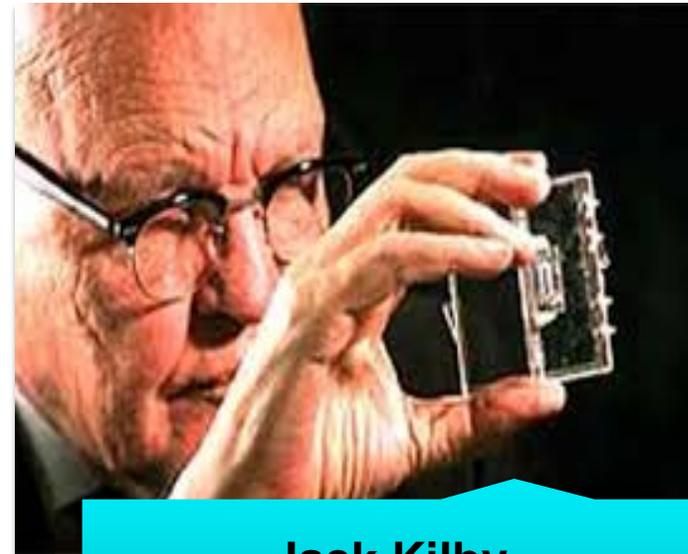
INVENCION MICROCHIP



- La invención del CI se produjo en los 50 en el contexto de un proyecto cuya finalidad era lograr que los componentes electrónicos pudieran ser ensamblados de manera sencilla, evitando el cableado
 - Jack Kilby investigó junto con Robert Noyce (uno de los fundadores de la conocida empresa Intel) la forma de lograr la integración en una sola pieza.

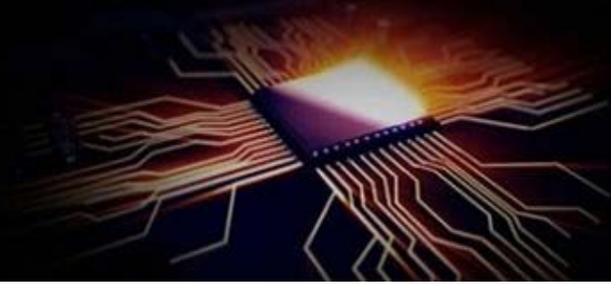


El primer chip
Texas Instruments

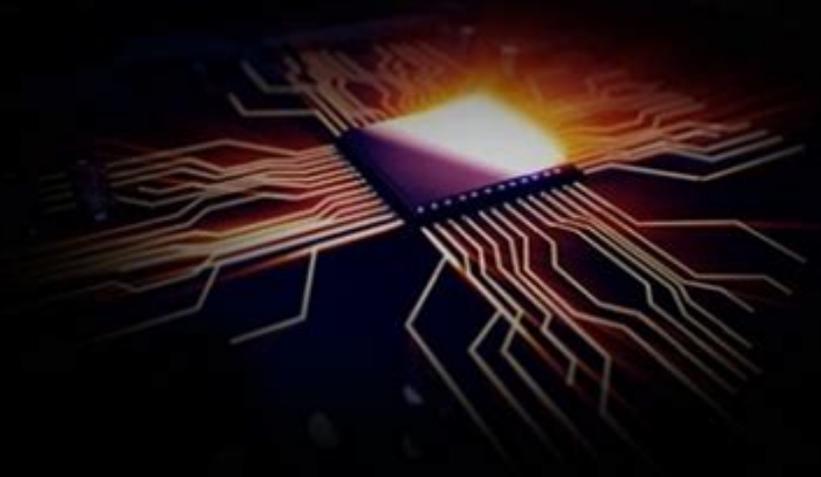


Jack Kilby
Su inventor

ESCALAS DE INTEGRACIÓN



Nombre	Significado	Año	Número de Transistores	Número de puertas
SSI	<i>small-scale integration</i>	1964	1 a 10	1 a 12
MSI	<i>medium-scale integration</i>	1968	10 a 500	13 a 99
LSI	<i>large-scale integration</i>	1971	500 a 20.000	100 a 9.999
VLSI	<i>very large-scale integration</i>	1980	20.000 a 1.000.000	10.000 a 99.999
ULSI	<i>ultra-large-scale integration</i>	1984	1.000.000 y mas	100.000 y mas



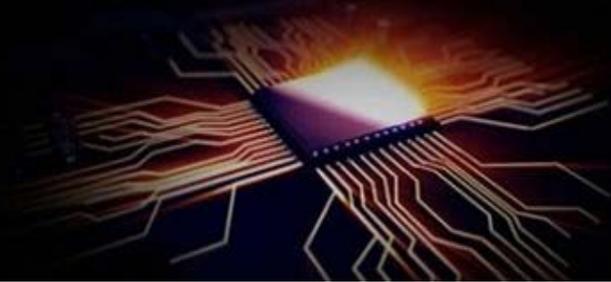
ESTIMACIÓN Y EVALUACIÓN DE LAS PROPIEDADES DE UN C.I.

1. Características estáticas

- Tensiones de entrada y salida
- Corrientes de entrada y salida
- FANIN y FANOUT
- Márgenes de ruido
- Potencia disipada

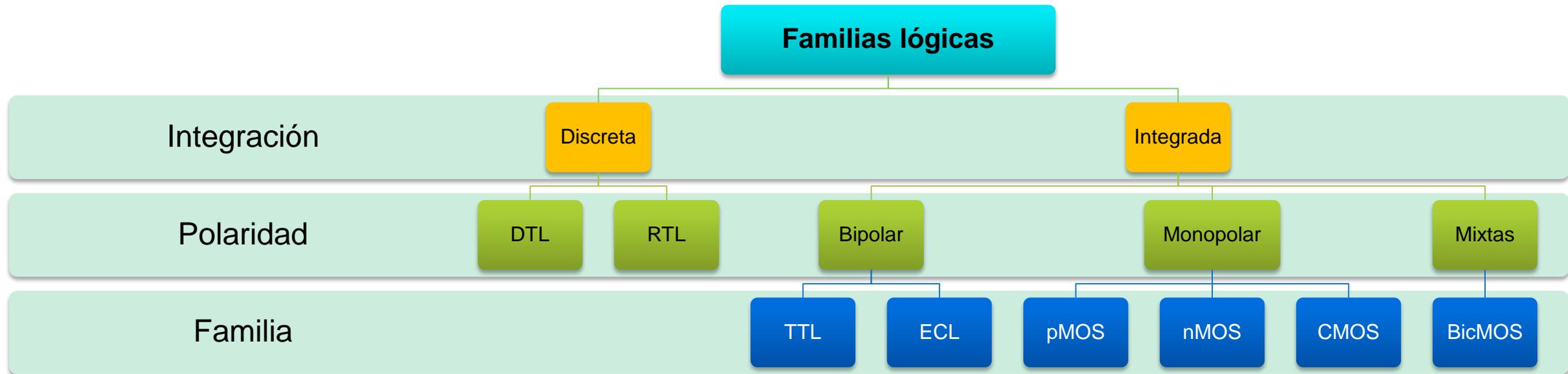
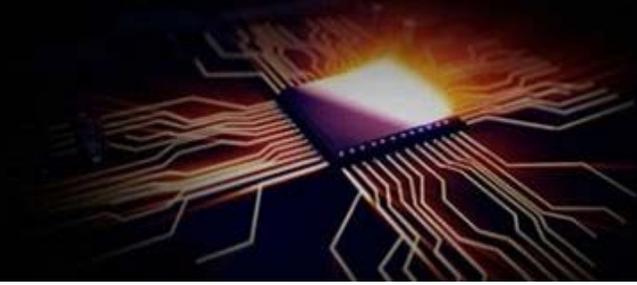
2. Características dinámicas

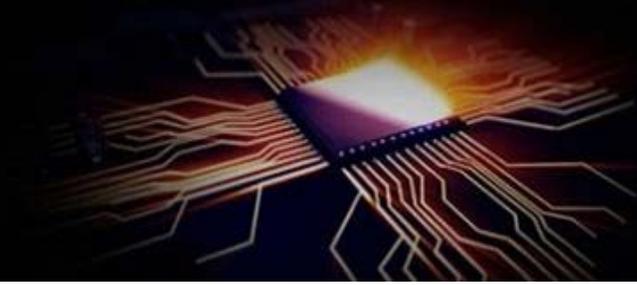
- Retardo de propagación
- Tiempos de subida y bajada



- Una **familia lógica** es un conjunto de circuitos integrados que implementan distintas operaciones lógicas (puertas lógicas, flip-flops y contadores) compartiendo la **misma técnica de fabricación**
- **Los chips de una misma familia**, presentan características técnicas similares en sus entradas, salidas, velocidad de conmutación, retardo de propagación y disipación de energía
 - La similitud de dichas características facilita la implementación de **funciones lógicas complejas** al permitir la directa interconexión entre los chips pertenecientes a una misma familia

PRINCIPALES FAMILIAS LÓGICAS





■ Los parámetros básicos que caracterizan el comportamiento de una familia lógica son los siguientes:

■ Características estáticas

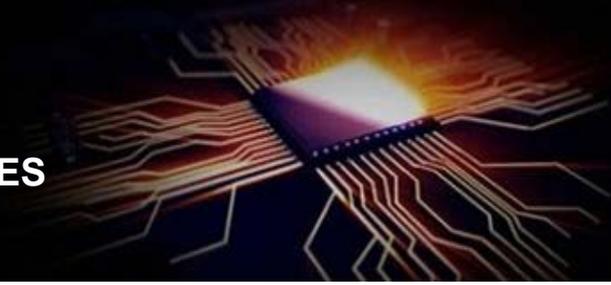
- ✓ Niveles de tensión y corriente de entrada y salida
- ✓ Curva de transferencia
- ✓ Fan-in, Fan-out
- ✓ Margen de ruido que acepta un circuito sin confusión de sus niveles lógicos
- ✓ Tensión de alimentación y potencia
- ✓ Facilidad de interconexión con otras familias

■ Características dinámicas

- ✓ Tiempos de retardo,
- ✓ Tiempos de subida y bajada

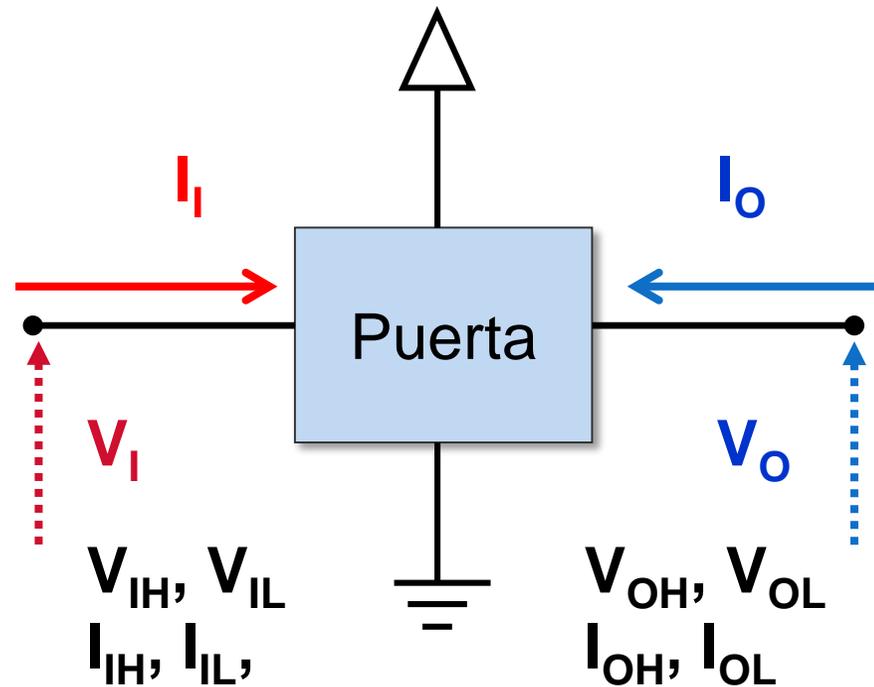
FAMILIAS LÓGICAS

CONVENCIONES PARA LOS ETIQUETADOS DE LAS CARACTERÍSTICAS OPERACIONALES



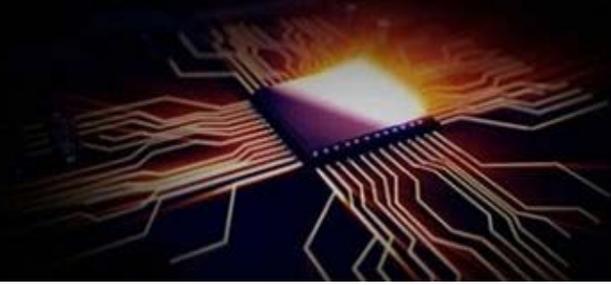
H = High
L = Low

I = input
O = output

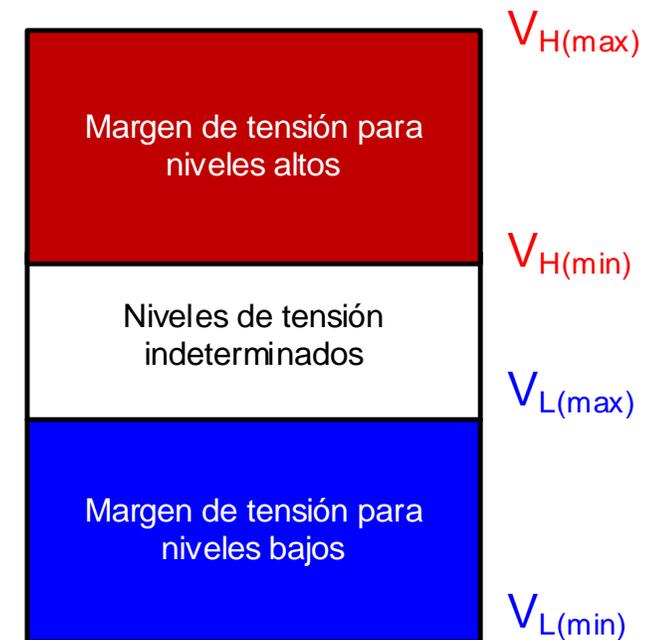


FAMILIAS LÓGICAS. CARACTERÍSTICAS OPERACIONALES

NIVELES DE TENSIÓN

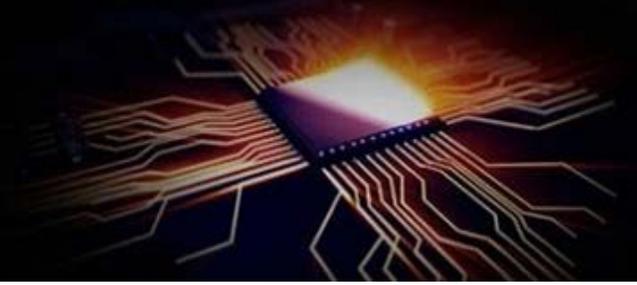


- Los CIs digitales de las diferentes familias lógicas trabajan con dos márgenes de tensiones que codifican un “cero” o un “uno”.
 - Estas tensiones reciben el nombre de **niveles lógicos**.
- La figura ilustra el rango general de variación para los niveles de tensión de una entrada o de una salida

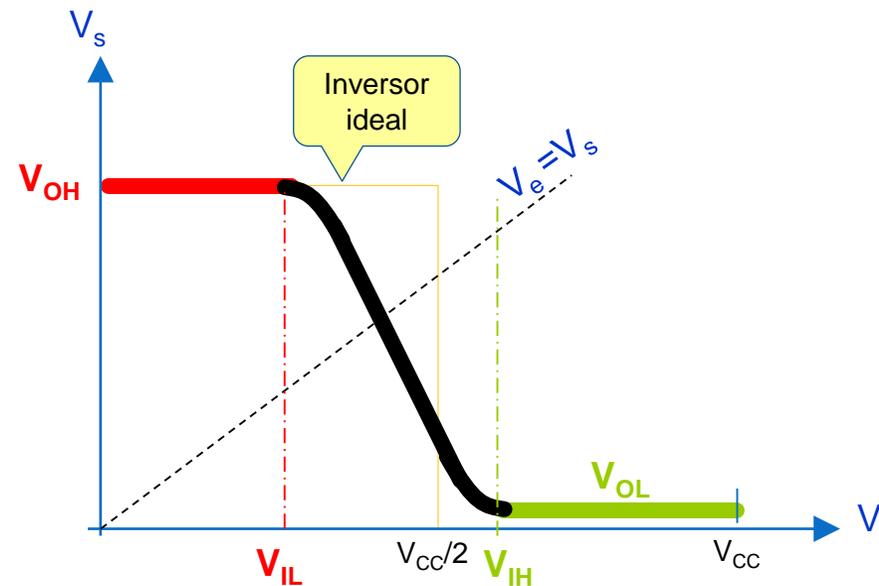
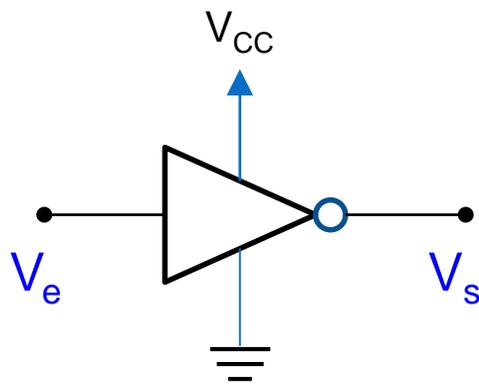


FAMILIA TTL. CARACTERÍSTICAS OPERACIONALES

CURVA DE TRANSFERENCIA

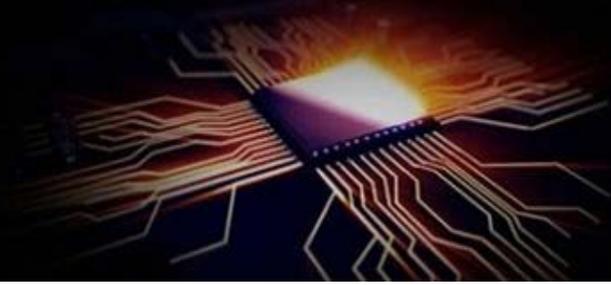


- La **curva de transferencia** muestra la forma de variación de la tensión de salida en función de la tensión de entrada.
 - A partir de la curva de transferencia pueden obtenerse gráficamente los niveles lógicos de una puerta.



FAMILIAS LÓGICAS. CARACTERÍSTICAS OPERACIONALES

CORRIENTES DE ENTRADA Y SALIDA



$I_{IL}(\max)$

Es la máxima intensidad de entrada cuando existe un "0" lógico a la entrada de la puerta lógica (para el CI 74AS04 es de -0.5mA)

$I_{OL}(\max)$

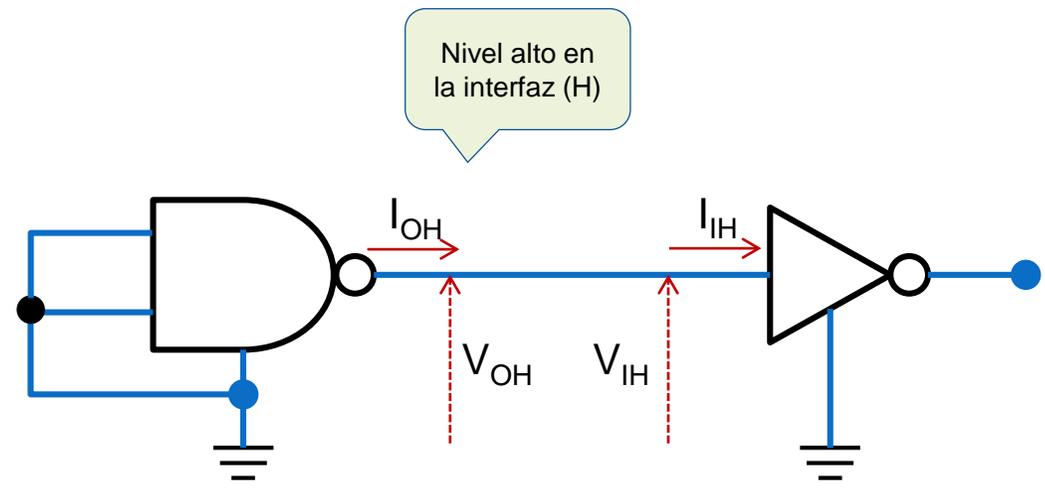
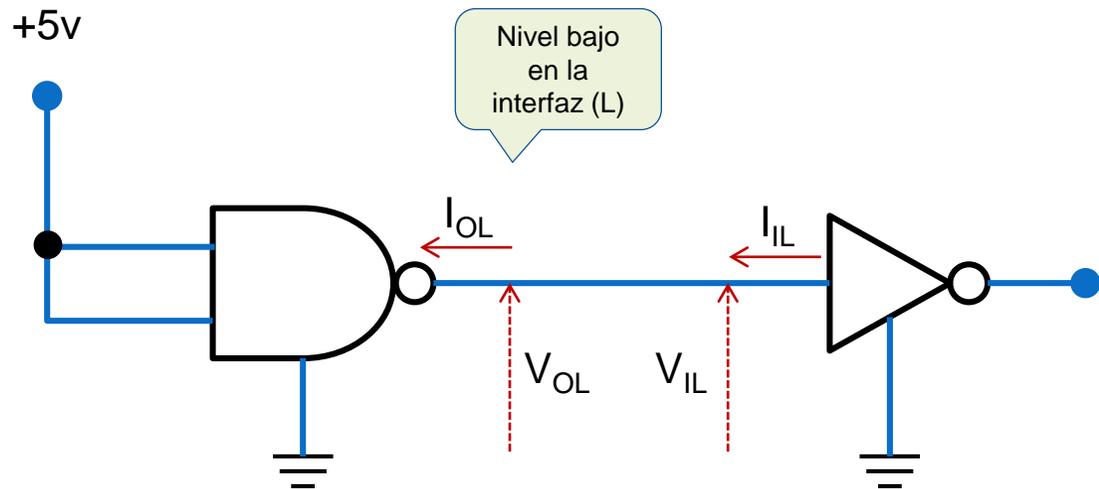
Es la máxima intensidad de salida cuando existe un "0" lógico a la salida de la puerta lógica (para el 74AS04 es de 20mA)

$I_{IH}(\max)$

Es la máxima intensidad de entrada cuando existe un "1" lógico a la entrada de la puerta lógica (P.e. para el CI 74AS04 es de $20\mu\text{A}$)

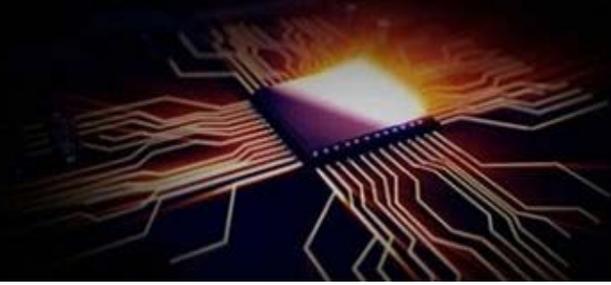
$I_{OH}(\max)$

Es la máxima intensidad de salida cuando existe un "1" lógico a la salida de la puerta lógica (para el 74AS04 es de -2mA)



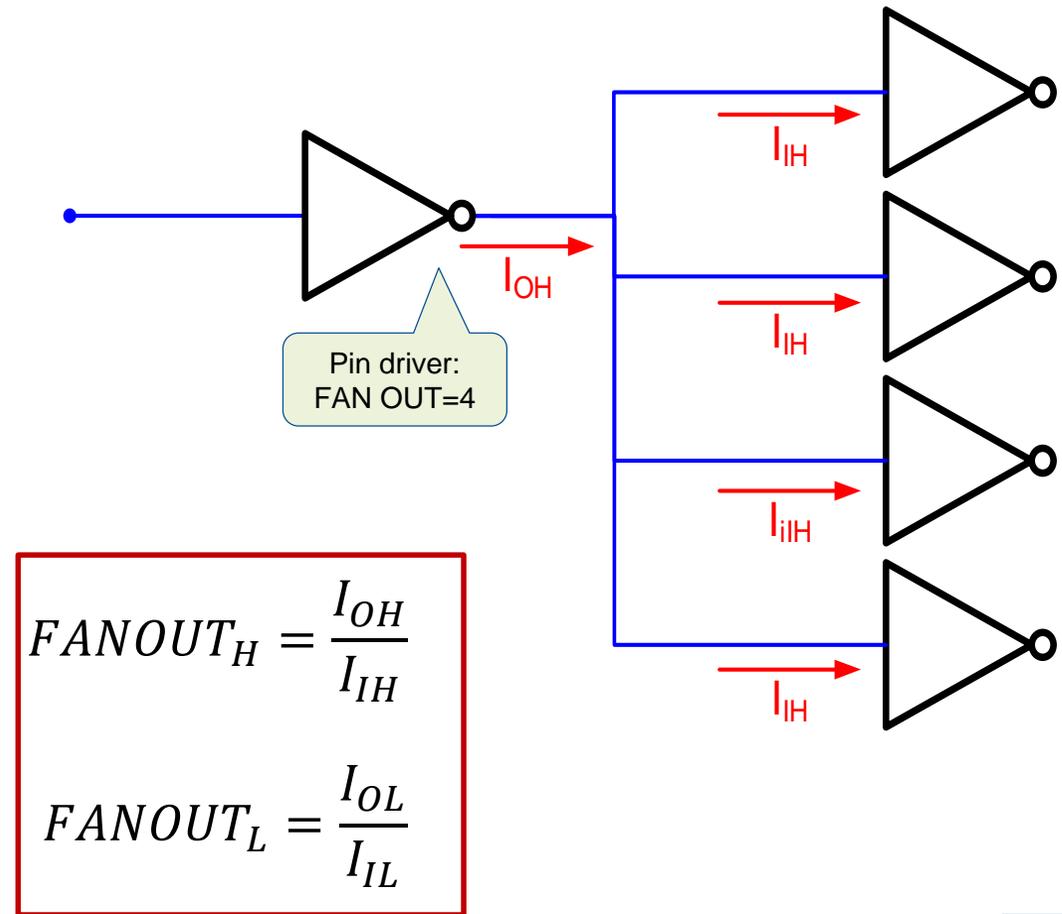
FAMILIAS LÓGICAS. CARACTERÍSTICAS OPERACIONALES

CARGABILIDAD DE SALIDA O FAN-OUT



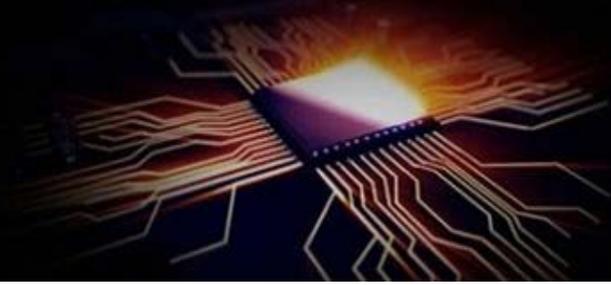
■ El parámetro **Fan-out** de una familia lógica es el número máximo de puertas que se pueden conectar a la salida de un miembro de dicha familia sin que se degrade la señal de salida.

■ En definitiva, el **fan-out** significa la capacidad que tiene un circuito lógico, de una determinada familia, para conectar varias entradas a la misma salida.

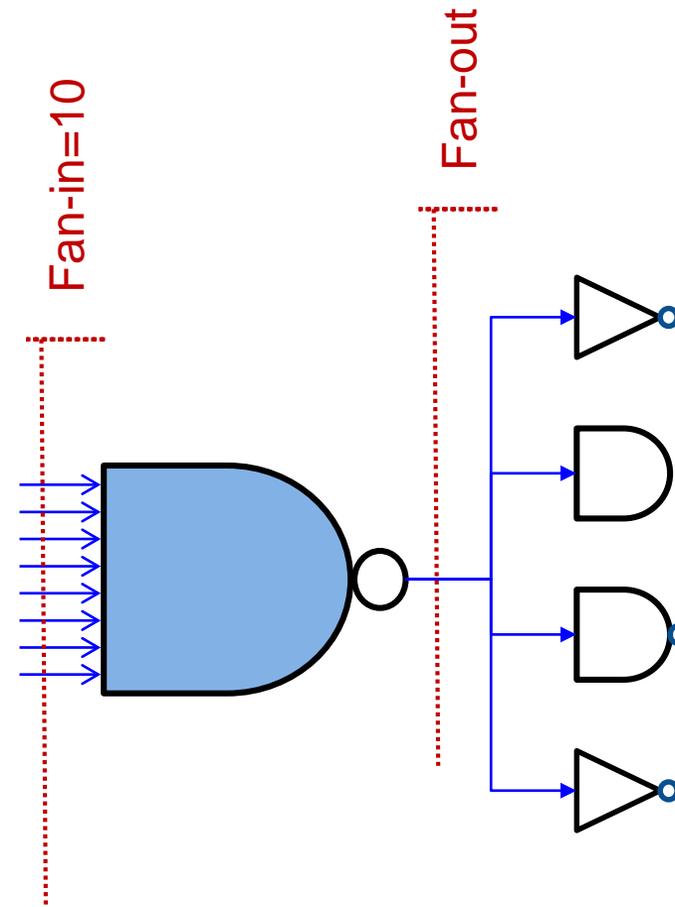


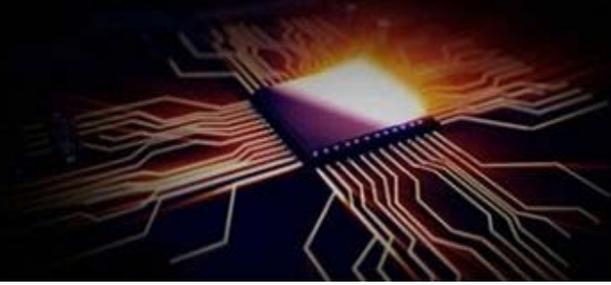
FAMILIAS LÓGICAS. CARACTERÍSTICAS OPERACIONALES

FAN-IN

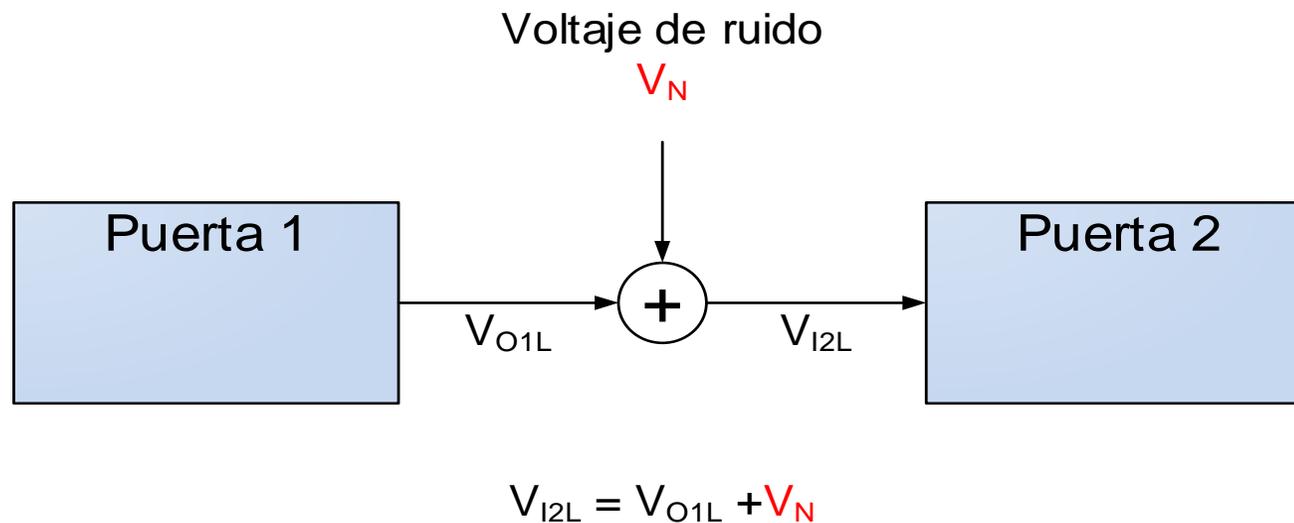


- El número de entradas a una puerta lógica de una determinada familia es un parámetro conocido como **FAN-IN**
 - Por ejemplo: una puerta NAND de 3 entradas diríamos que tiene un **FAN-IN** de 3
 - Las puertas lógicas físicas con un **FAN-IN grande** tienden a ser **más lentas** que aquellas con un FAN-IN pequeño.
 - ✓ Esto es porque la complejidad de los circuitos de entrada aumenta la capacitancia del dispositivo.
 - Sin embargo, con FANIN altos se puede **disminuir la complejidad global** del circuito



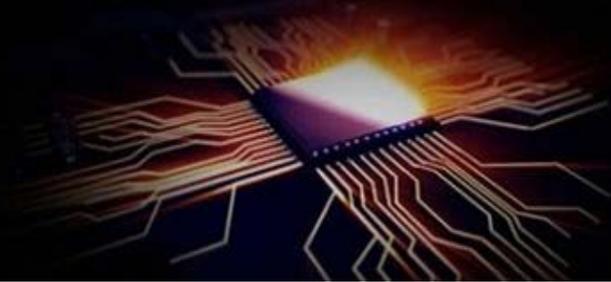


- El Ruido es toda perturbación eléctrica indeseada, generada por el propio circuito o por causas externas que se “suma” a las señales eléctricas
 - La causa del ruido son los campos electromagnéticos dispersos que pueden inducir tensiones no deseadas en las conexiones entre los circuitos de lógica



FAMILIAS LÓGICAS. CARACTERÍSTICAS OPERACIONALES

MÁRGENES DE RUIDO

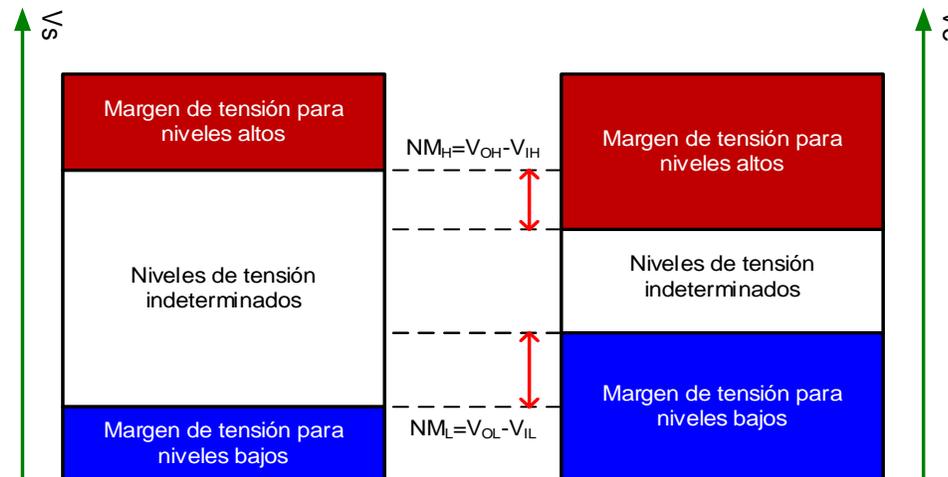


- La inmunidad de ruido de una familia, se refiere a la capacidad del circuito para tolerar ruido electromagnético sin cambios en el voltaje de salida.
- Una medida cuantitativa de dicha capacidad se llama **margen de ruido**

MARGEN DE RUIDO A NIVEL ALTO

$$M_H = V_{OH} - V_{IH}$$

Es la máxima tensión (voltaje) de entrada que se puede superponer al nivel "1" de salida para que la entrada de la siguiente puerta sea considerada también como 1.



MARGEN DE RUIDO A NIVEL BAJO

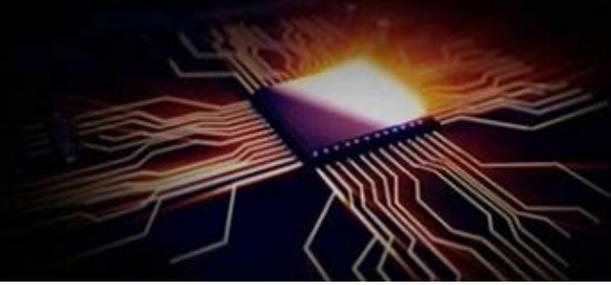
$$M_L = V_{IL} - V_{OL}$$

Es la máxima tensión (voltaje) de entrada que se puede superponer al nivel "0" de salida para que la entrada de la siguiente puerta sea considerada también como 0.

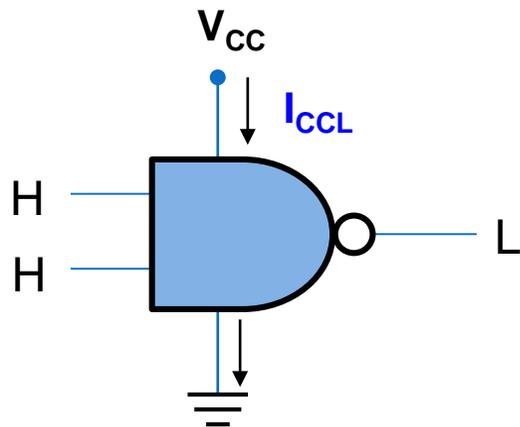
El margen de ruido absoluto M se define como el menor de M_H y M_L

FAMILIAS LÓGICAS. CARACTERÍSTICAS OPERACIONALES

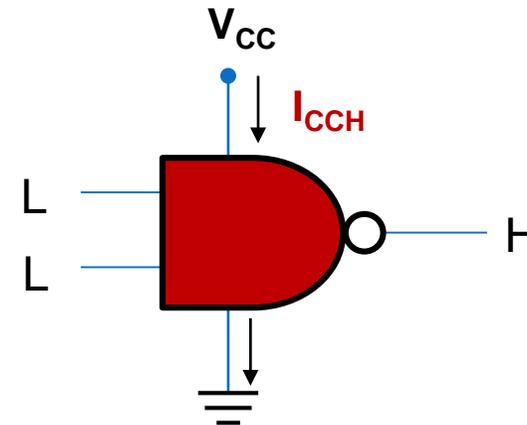
DISIPACIÓN DE POTENCIA



- Los CI consumen energía eléctrica que se transforma en energía calorífica, en consecuencia, las puertas lógicas disipan calor y puede hablarse de **disipación de potencia (P_D)** que depende del voltaje de alimentación y de la cantidad de corriente consumida.

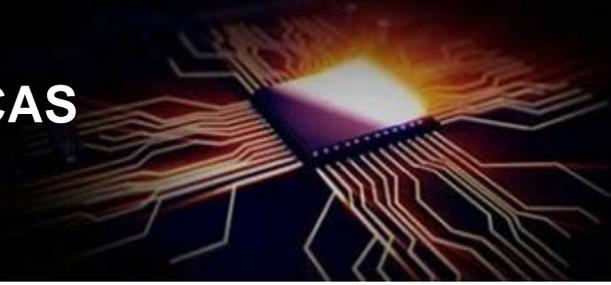


$$I_{CC} = \frac{I_{CCL} + I_{CCH}}{2}$$
$$P_D = V_{CC} I_{CC}$$

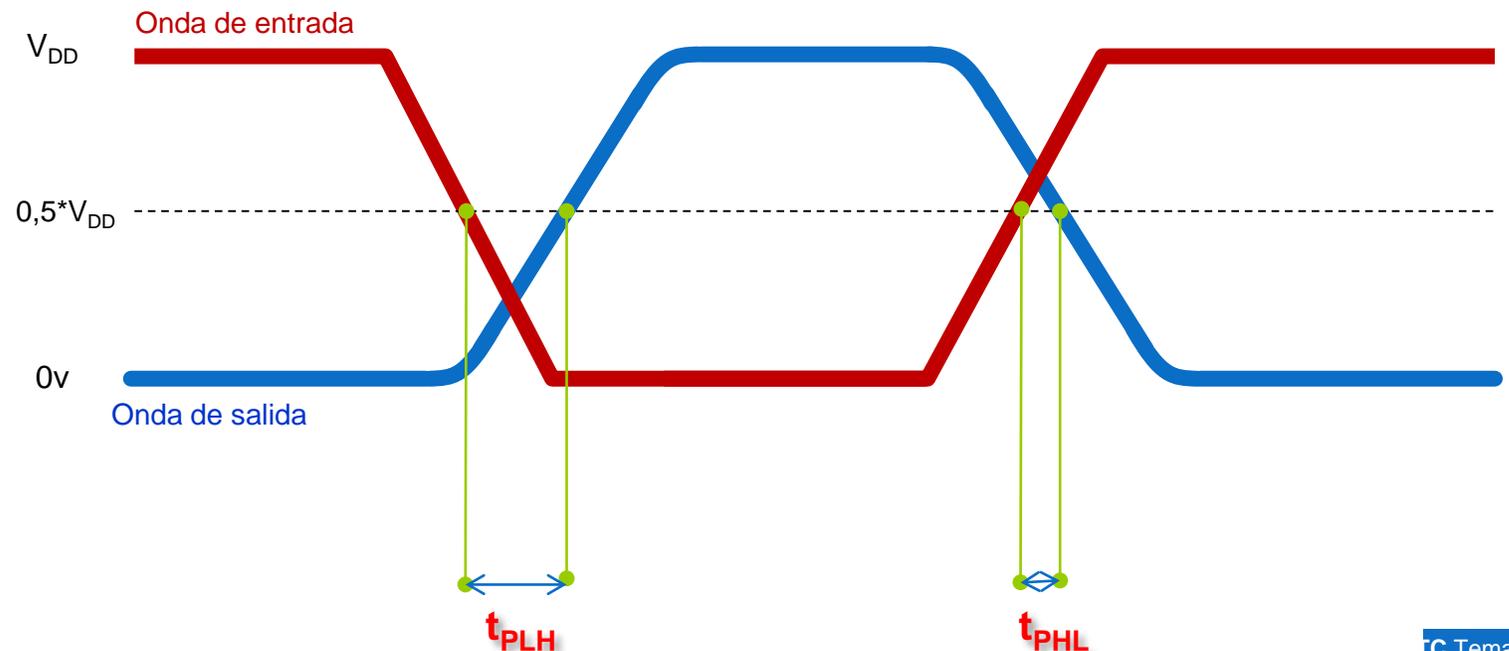
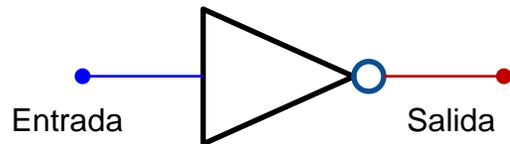


FAMILIAS LÓGICAS. CARACTERÍSTICAS OPERACIONALES DINÁMICAS

RETARDO DE PROPAGACIÓN



- El **retardo de propagación** es el tiempo que tarda en transmitirse un cambio de estado desde la entrada hasta la salida de una puerta estándar de un CI.
 - Una de las causas principales de los retardos es el tiempo que tardan los transistores en conmutar de corte a conducción y viceversa.



Tiempo de propagación L-H (t_{PLH})

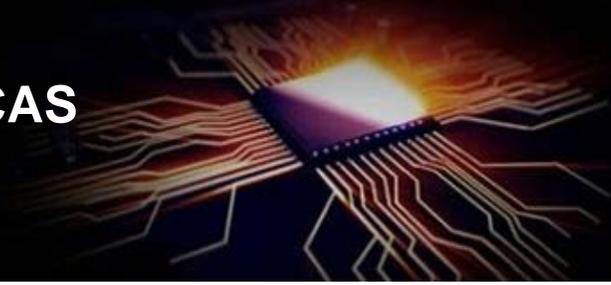
Tiempo de propagación H-L (t_{PHL}):

Ambos se definen entre el 50% de la tensión de entrada y el 50% del pulso de salida.

Tiempo de propagación medio = $(t_{PLH} + t_{PHL})/2$

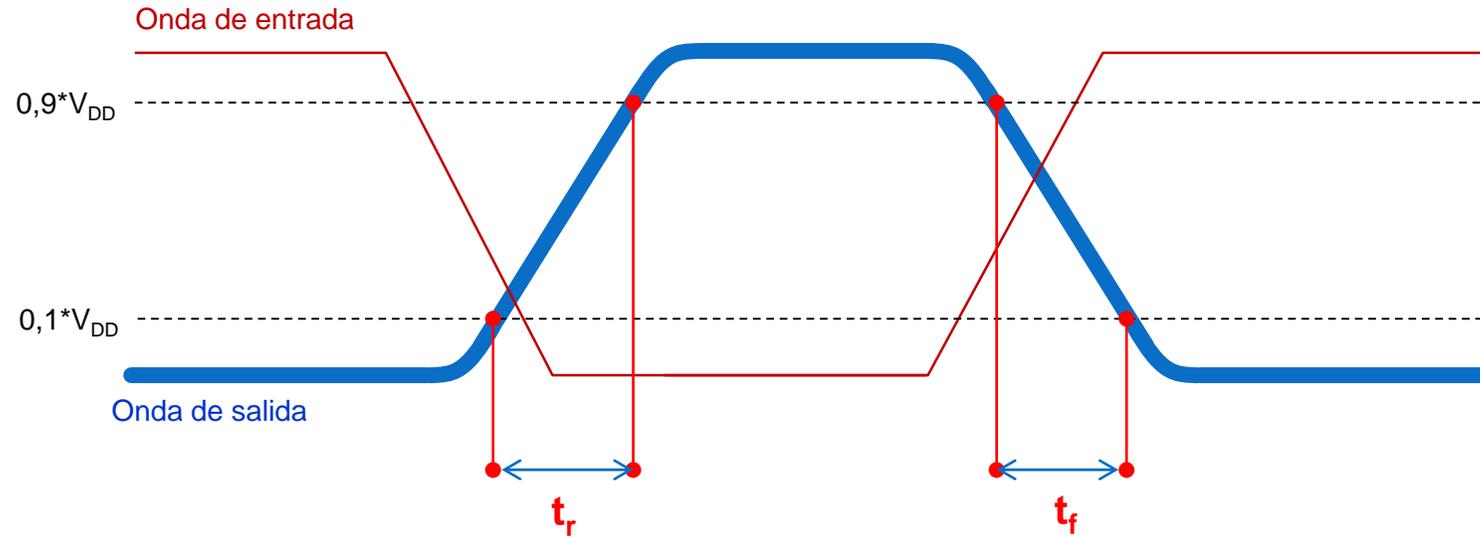
FAMILIAS LÓGICAS. CARACTERÍSTICAS OPERACIONALES DINÁMICAS

TIEMPOS DE TRANSICIÓN

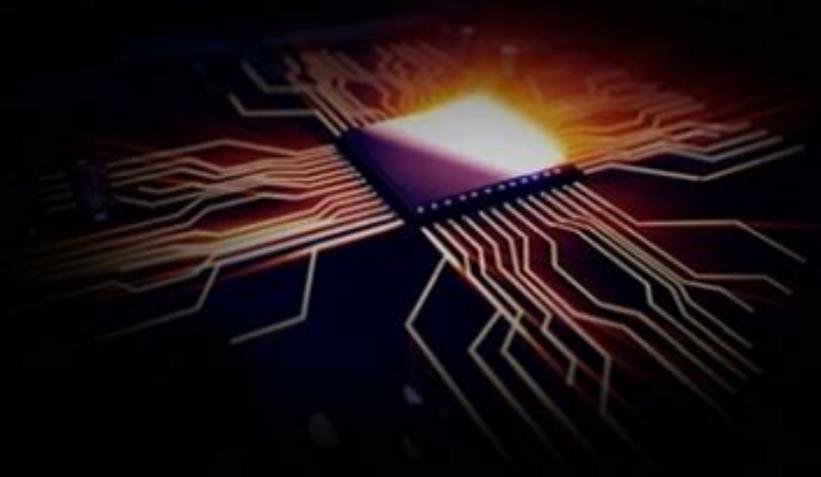


- Los tiempos de transición están asociados a los transitorios originados por las capacidades parásitas

- Se definen entre los puntos correspondientes al 10% y 90% de la transición total de la tensión a la entrada de una puerta estándar de un CI y reciben el nombre de tiempo de subida y tiempo de bajada

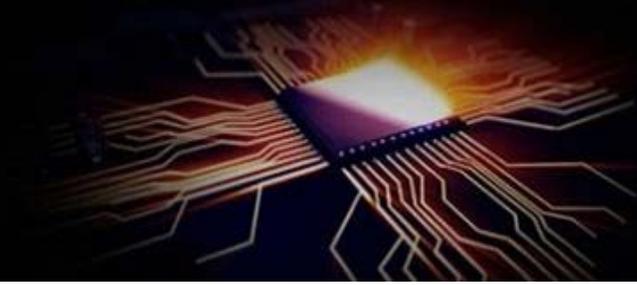


Tiempo de subida (rise) (t_r)
Tiempo de bajada (fall) (t_f)



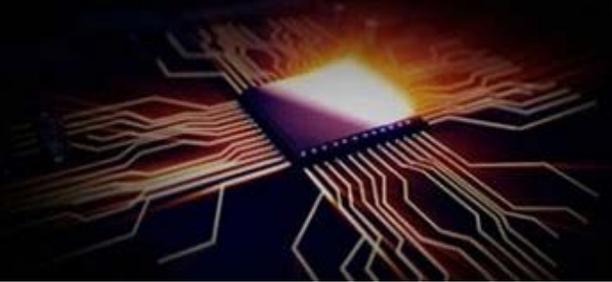
LÓGICA INTEGRADA TTL

1. La familia estándar TTL
2. Descripción del inversor TTL
3. Inversor TTL con salida en colector abierto
4. Inversor TTL con salida triestado



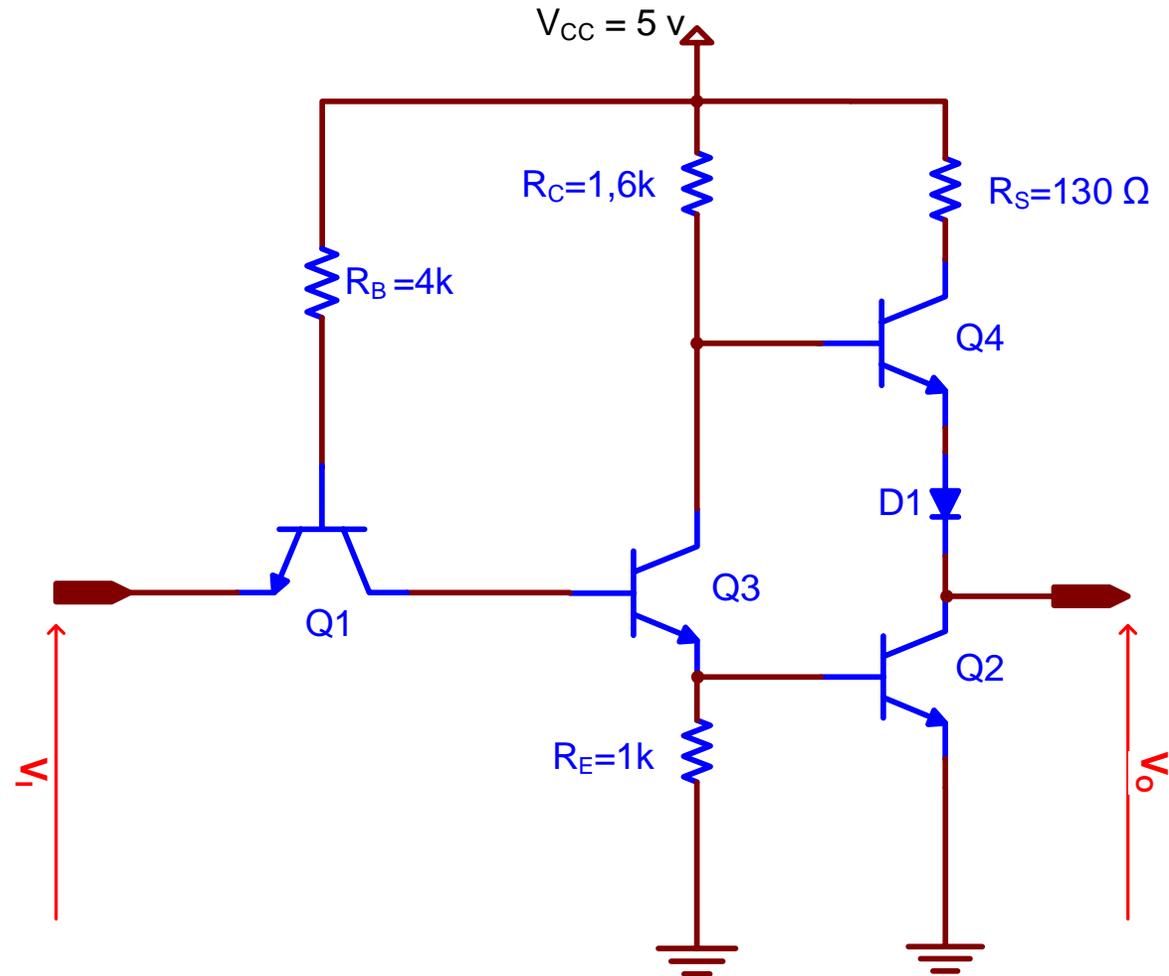
- En 1964 Texas Instruments sacó al mercado la primera línea de CI TTL: las **series 54/74** (54 para mayor rango de temperatura); que con el tiempo sería una de las más usadas
 - Después muchos otros fabricantes producirían CIs TTL, afortunadamente, con el mismo sistema de numeración permitiendo la intercambiabilidad de componentes
- En la familia de lógica TTL, existen varias series:
 - ✓ 74 Estándar 74,
 - ✓ 74L de baja potencia,
 - ✓ 74H de alta velocidad,
 - ✓ 74S Schottky estándar,
 - ✓ 74LS serie de Schottky de baja potencia y
 - ✓ 74ALS avanzada serie Schottky de baja potencia.

DESCRIPCIÓN DEL INVERSOR TTL



■ En la figura se muestra un circuito TTL estándar para un inversor.

- **Q1** es el transistor de acoplamiento de entrada.
- El transistor **Q3** es el divisor de fase y
- la combinación **Q2** y **Q4** forma el circuito de salida, denominado **totem-pole**. El papel del diodo es asegurar que **Q4** está en OFF y **Q2** y **Q3** saturados cuando la entrada está a nivel alto.

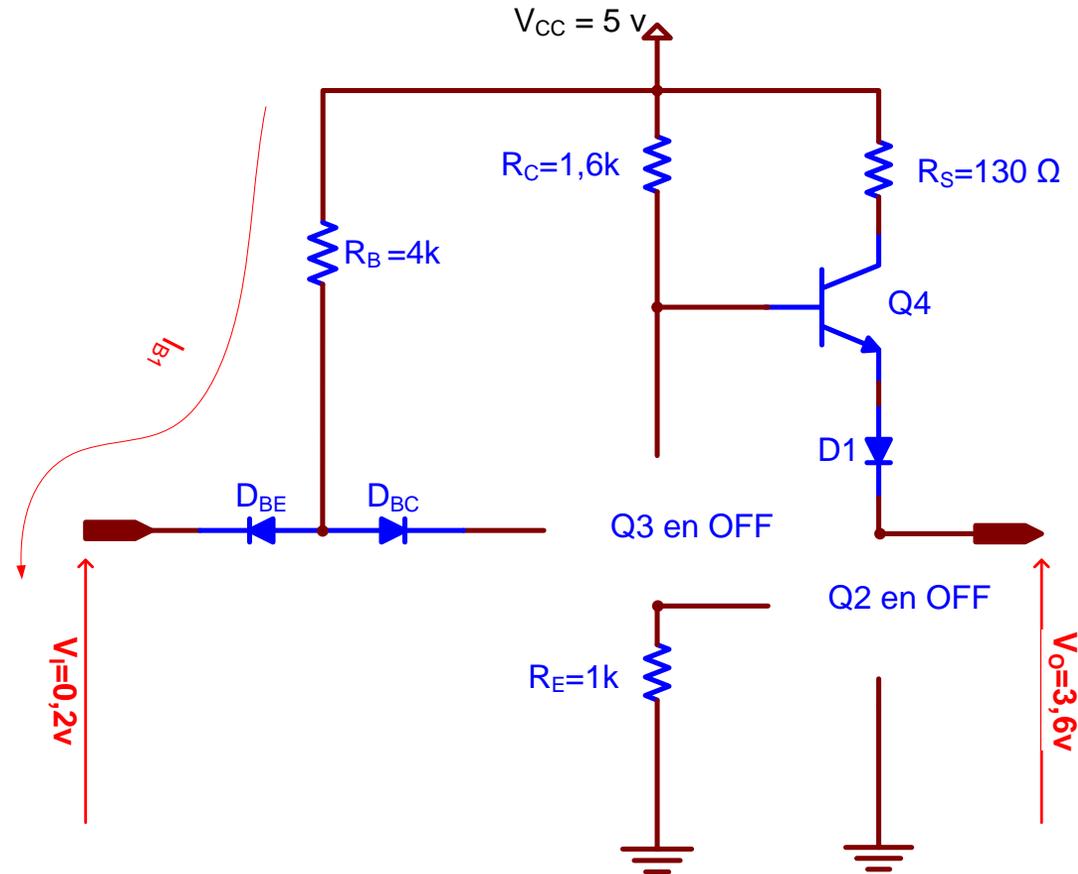


DESCRIPCIÓN DEL INVERSOR TTL

ANÁLISIS PARA $V_I = V_{OL}$

- Si la entrada está a nivel bajo la unión BE del Q1 estará en directa, por lo que la tensión de base de Q1 es de $0.2+0.7=0.9V$, insuficiente para que Q2, Q3 y el diodo B-C de Q1 conduzcan. Por tanto, Q2 y Q3 cortados.
- El transistor Q4 conducirá a través de la resistencia R_C . Sin embargo, la corriente de emisor I_{E3} será nula ya que el transistor Q3 está cortado. Si se conecta otra puerta TTL, la corriente será muy pequeña debido a que la unión BE1 de la nueva puerta conectada tendrá la unión BE1 en inversa.
- Tensión de salida V_o aproximada (despreciando la caída de tensión en R_c) será:

$$V_o \approx V_{CC} - V_{BEQ4} - V_{D1} = 5 - 1.4 = 3.6V$$



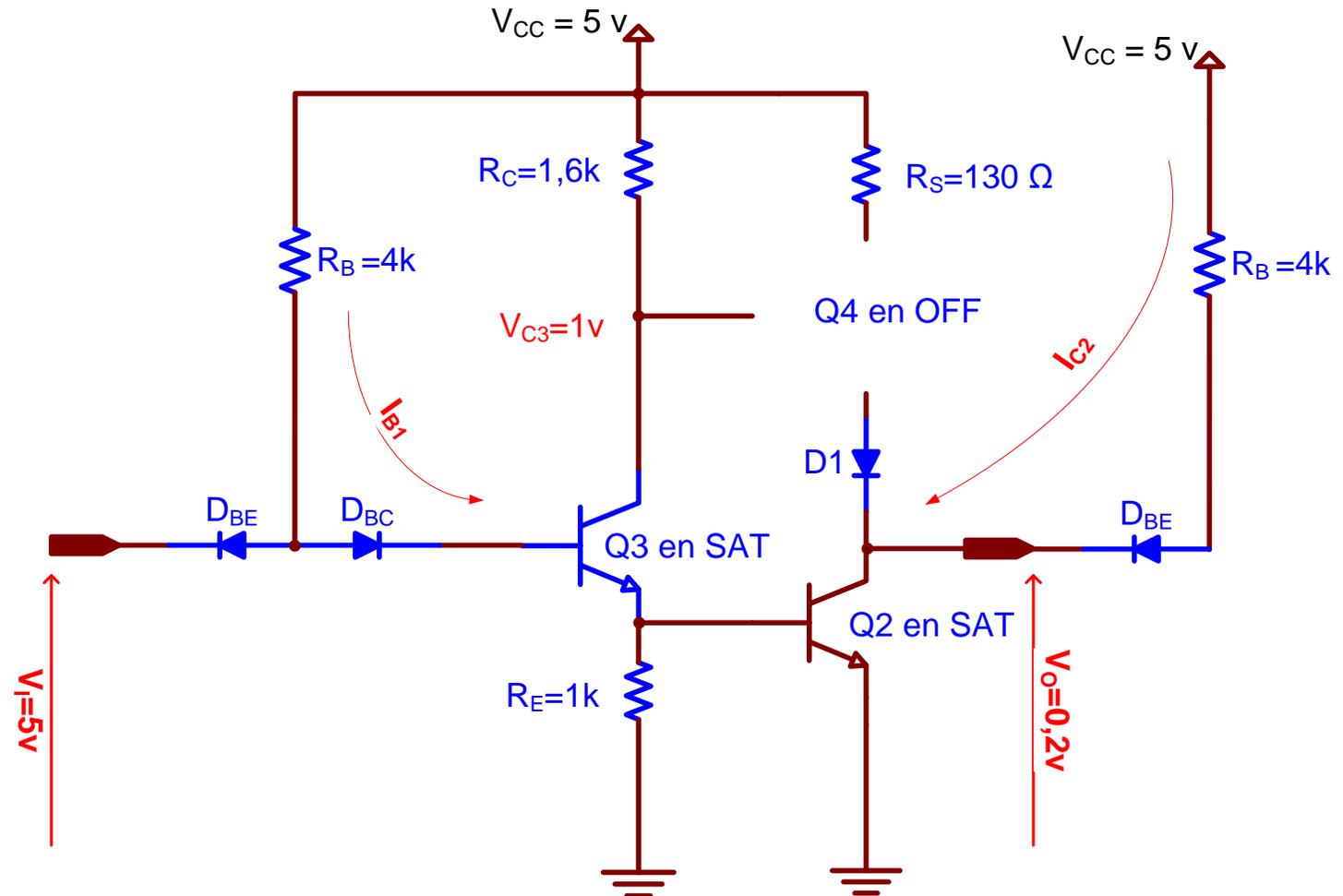
DESCRIPCIÓN DEL INVERSOR TTL

ANÁLISIS PARA $V_I = V_{OH}$

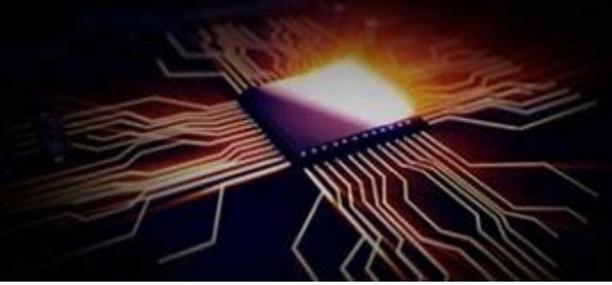
- Si la entrada está a nivel alto, la unión BE del Q1 está en inversa y la unión BC en directa. Por tanto, el transistor está en ACTIVA INVERSA.
- El transistor Q3, recibe la intensidad I_{B1} por lo que estará conduciendo y lo hará en saturación. Por ello fijará la tensión de C3 a....

$$V_{C3} = 0,7 + V_{CESAT} \approx 1\text{v}$$

- Esta tensión es insuficiente para hacer conducir a Q4 que necesitaría al menos $V_{DIODO} + V_{BE4} = 1,4$ por lo tanto estará en OFF (el papel del diodo es asegurar que Q4 está en OFF y Q2 y Q3 saturados).
- El transistor Q2 tiene su unión BE en directa ya que el transistor Q3 le envía una corriente de base. La corriente de colector de saturación le llega por la unión BE del transistor Q1 del circuito TTL conectado a la salida, ya que Q4 está en OFF.

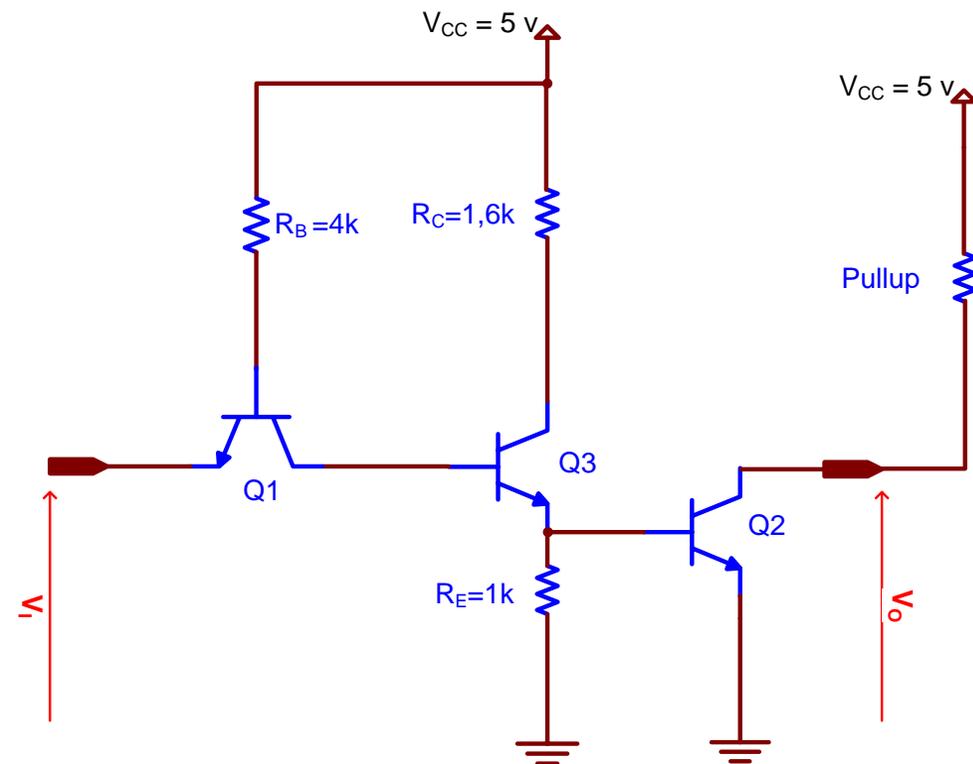


INVERSOR TTL CON SALIDA EN COLECTOR ABIERTO

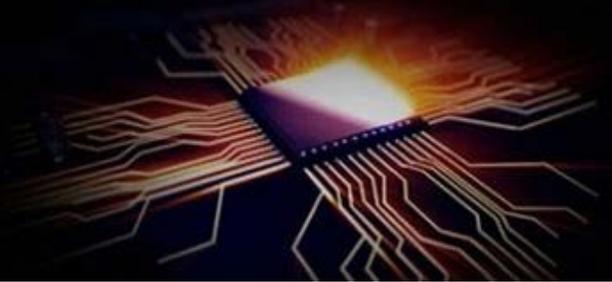


■ Permite el cableado lógico directo, eliminando Q4 y D1 (AND cableada).

- Se requiere una resistencia externa, denominada de “Pull-up”, para obtener el nivel alto.
- El valor de $R_{\text{pull-up}}$ es un compromiso entre velocidad, disipación y fanout.
- Valor típico: unos pocos Kohms.

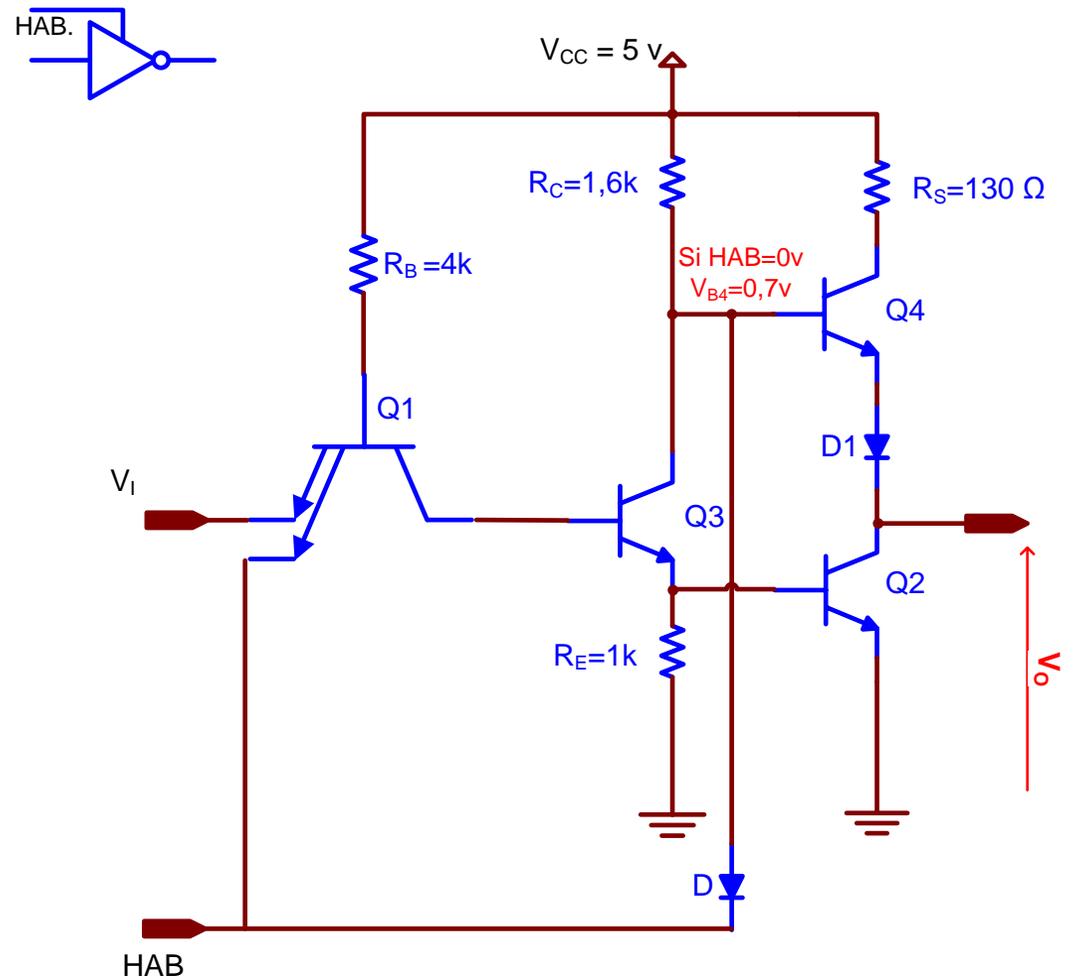


INVERSOR TTL CON SALIDA TRIESTADO

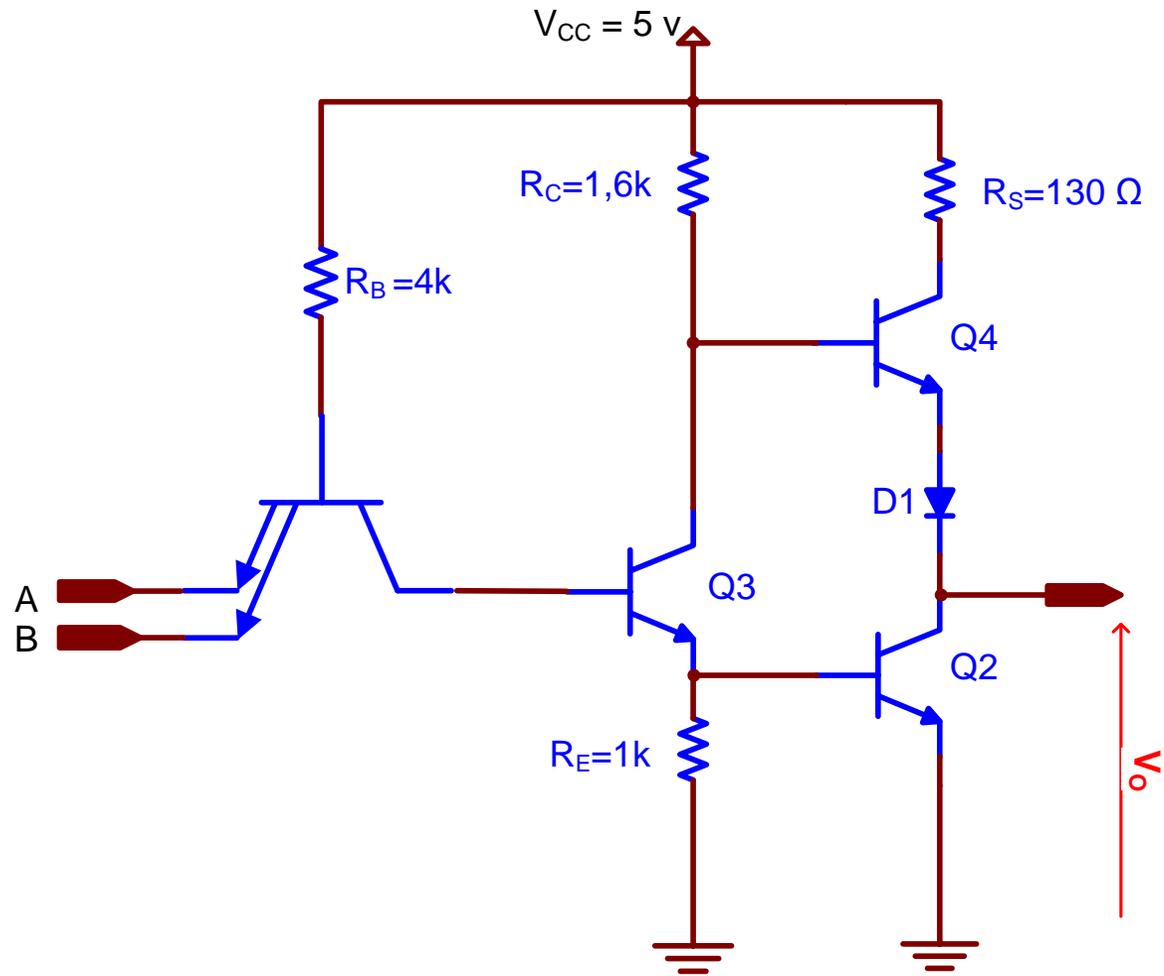
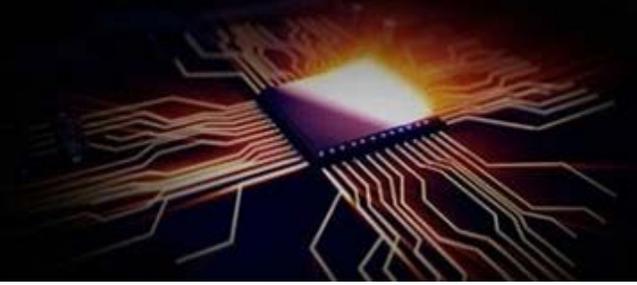


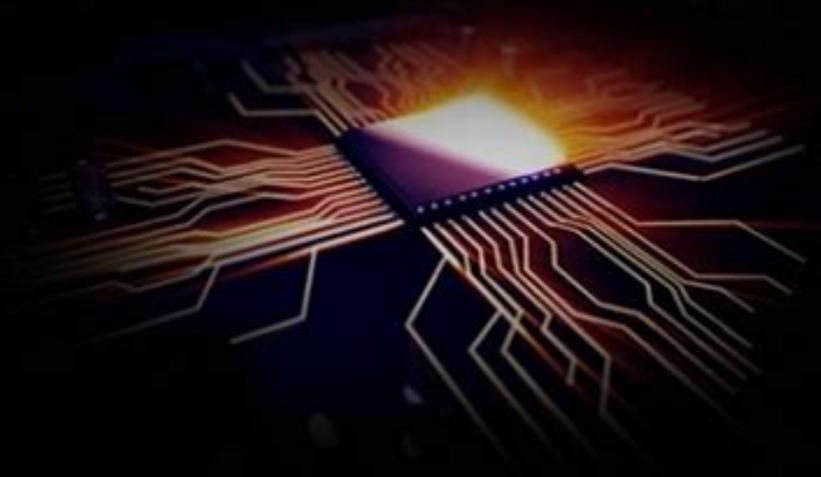
■ La salida **triestado** permite la conexión directa de las salidas. Los tres estados de salida son: alto, bajo y alta impedancia (HZ).

- Cuando se selecciona el funcionamiento lógico normal, mediante la entrada de habilitación, el circuito triestado funciona de la misma forma que una puerta normal.
- Cuando el modo de funcionamiento es de alta impedancia, la salida se desconecta del resto del circuito.



PUERTA NAND TTL



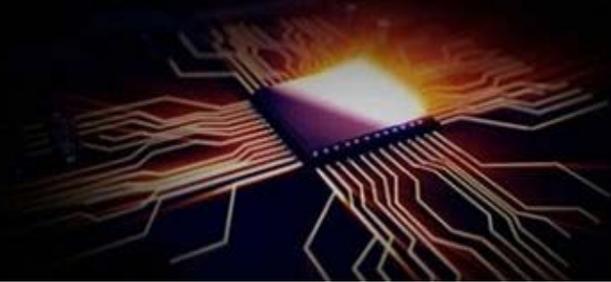


FAMILIA TTL. CARACTERÍSTICAS OPERACIONALES

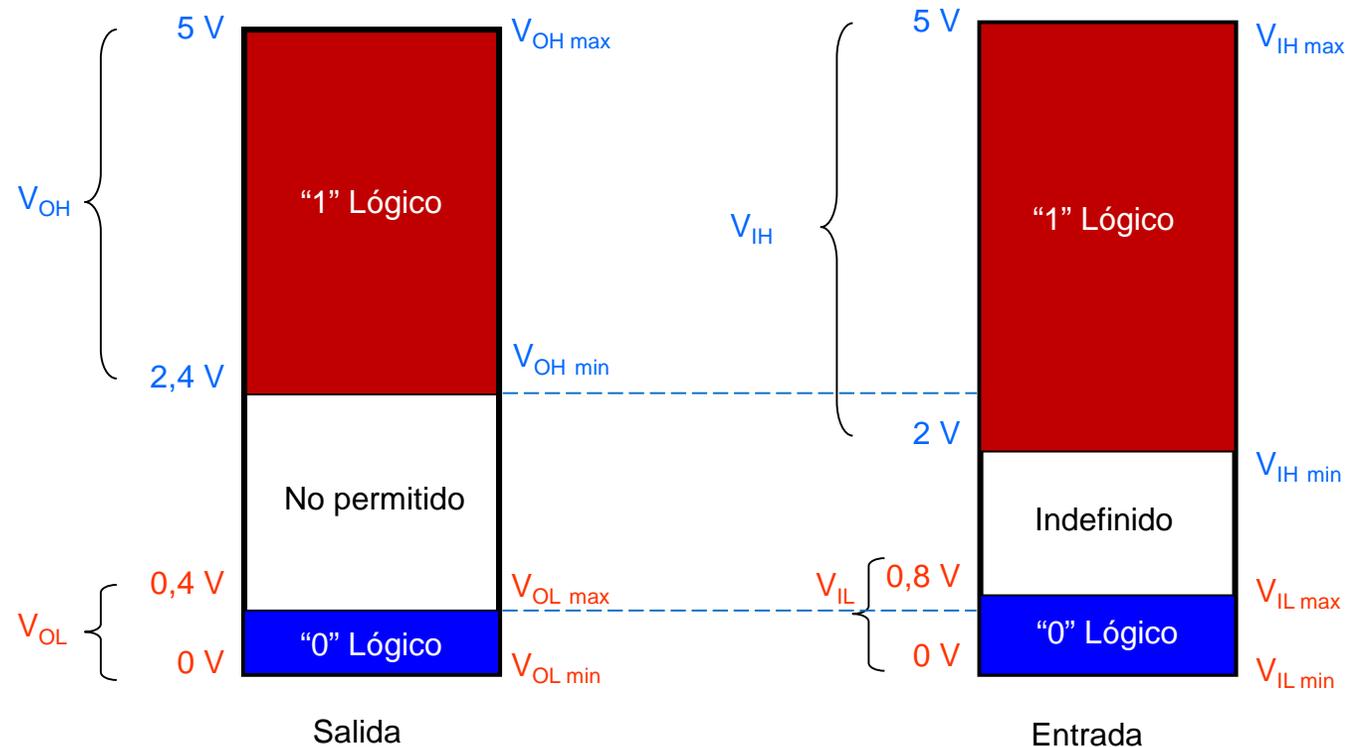
1. Características estáticas
 - ✓ Tensiones de entrada y salida
 - ✓ Corrientes de entrada y salida
 - ✓ FANIN y FANOUT
 - ✓ Márgenes de ruido
 - ✓ Potencia disipada
2. Características dinámicas
 - ✓ Retardo de propagación
 - ✓ Tiempos de subida y bajada

FAMILIA TTL. CARACTERÍSTICAS OPERACIONALES

TENSIONES DE ENTRADA Y SALIDA



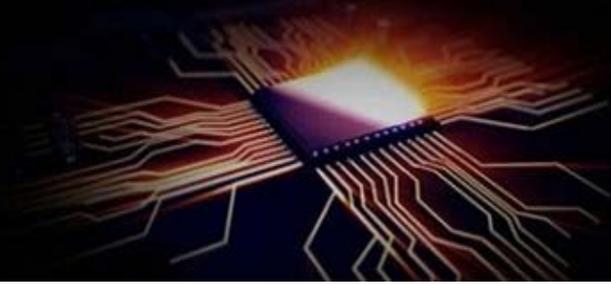
- En la entrada de los circuitos TTL, el nivel lógico bajo puede ser representado por cualquier tensión comprendida entre 0V y 0.8V y el nivel lógico alto por cualquier tensión entre 2V y 5V. El rango de valores entre 0.8V y 2V es la región de funcionamiento impredecible.



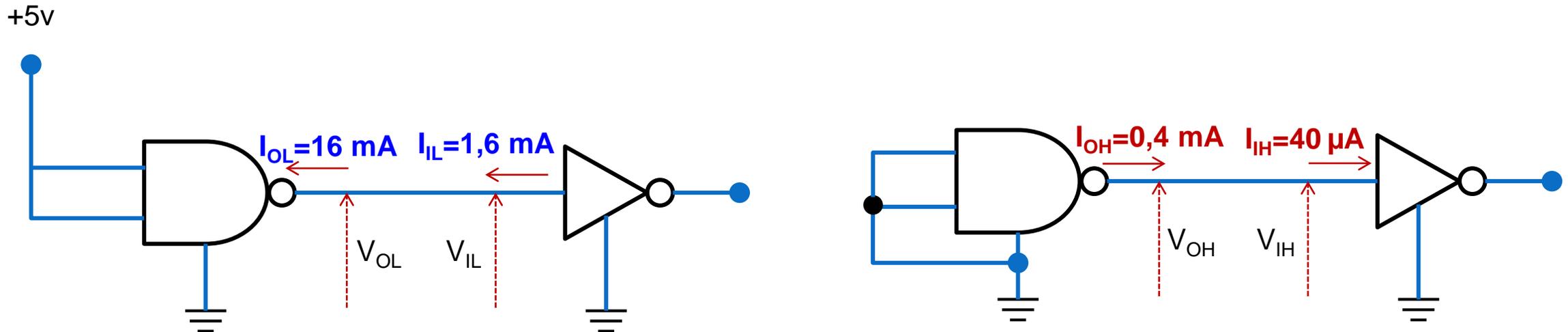
Nota: los valores de V_{OL} , V_{OH} , V_{IL} y V_{IH} se obtuvieron de la hoja de especificación de la puerta del NAND 7400).

FAMILIA TTL. CARACTERÍSTICAS OPERACIONALES

NIVELES MÁXIMOS DE CORRIENTES DE ENTRADA Y SALIDA

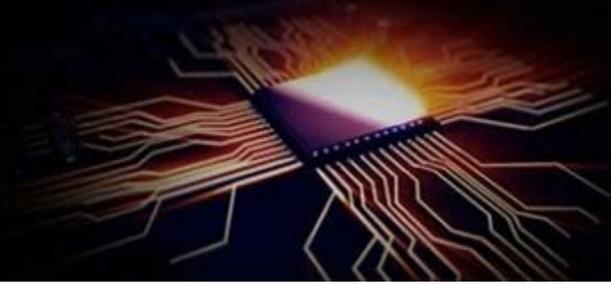


- La puerta NAND TTL (véase la figura) puede producir un máximo de 0.4 mA de corriente. Además, en el peor de los casos (cuando su entrada es alta), el inversor drenará un máximo de 40 μ A de corriente. Esto es solo el 10% de la corriente que puede emitir el inversor.
- De manera similar, cuando la NAND está emitiendo un "0" lógico en su salida, puede drenar 16mA de corriente. Por otro lado, el inversor puede generar 1,6 mA de corriente a su entrada.



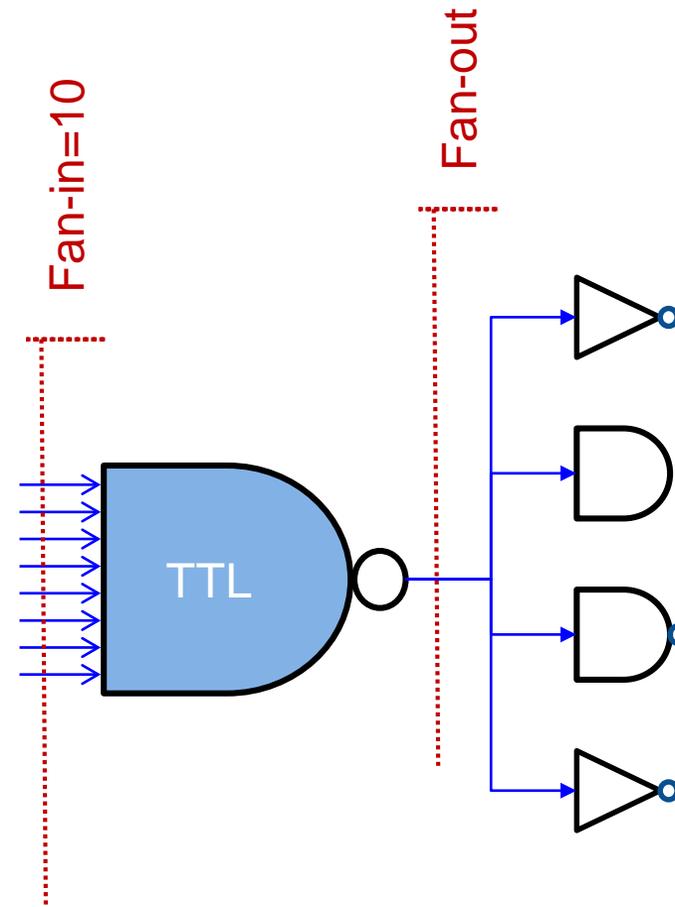
FAMILIA TTL. CARACTERÍSTICAS OPERACIONALES

FAN-IN



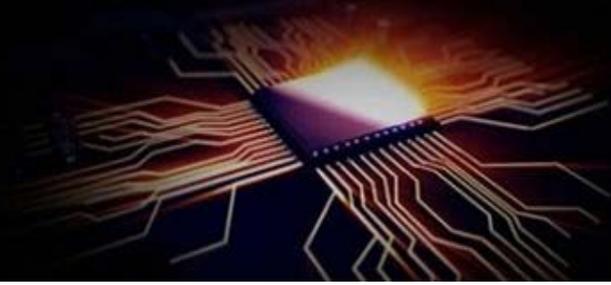
■ El número de entradas a una puerta lógica de una determinada familia es un parámetro conocido como **FAN-IN**

- Por ejemplo: una puerta NAND de 10 entradas diríamos que tiene un **FAN-IN** de 10
- El **FAN-IN** de cualquier lógica no es alto. En **CMOS** una puerta AND tiene una **FAN-IN** de **4** como mucho. En **TTL** el techo está en **8**



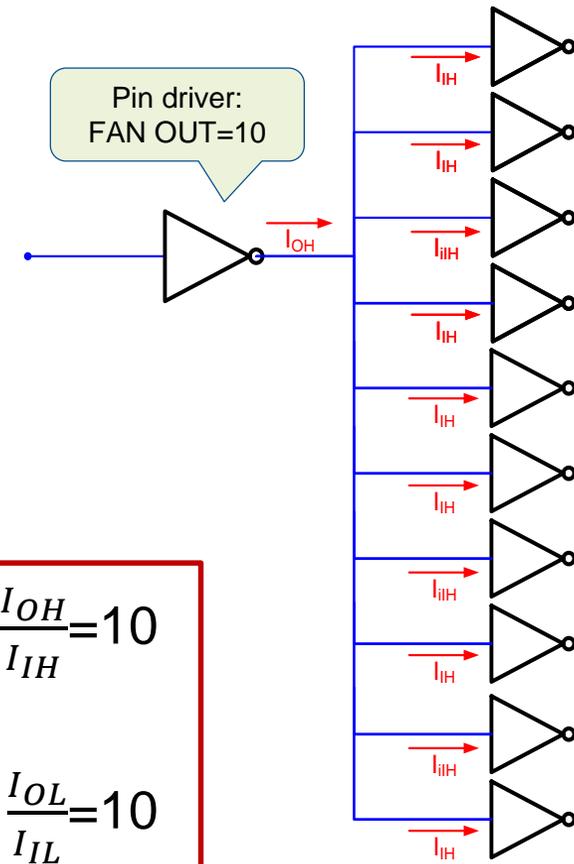
FAMILIA TTL. CARACTERÍSTICAS OPERACIONALES

CARGABILIDAD DE SALIDA O *FAN-OUT*



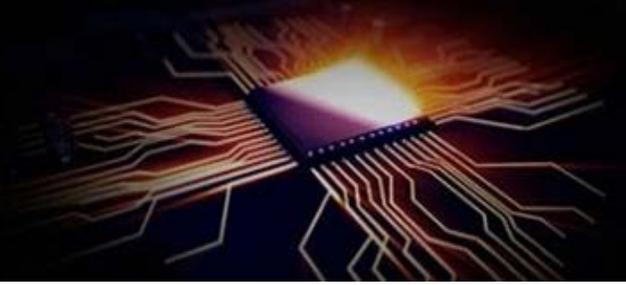
- Como hemos visto en la diapositiva anterior, una puerta TTL típica puede generar **0,4 mA** [I_{OH} (máx.)] y de otro lado puede drenar **40 μ A** [I_{OL} (máx.)]. Por lo tanto, las puertas TTL tienen un $FAN-OUT_H=10$ a un nivel ALTO.
- Si hacemos el mismo razonamiento para el nivel bajo el $FAN-OUT_L$ también sale 10

$$FANOUT_H = \frac{I_{OH}}{I_{IH}} = 10$$
$$FANOUT_L = \frac{I_{OL}}{I_{IL}} = 10$$

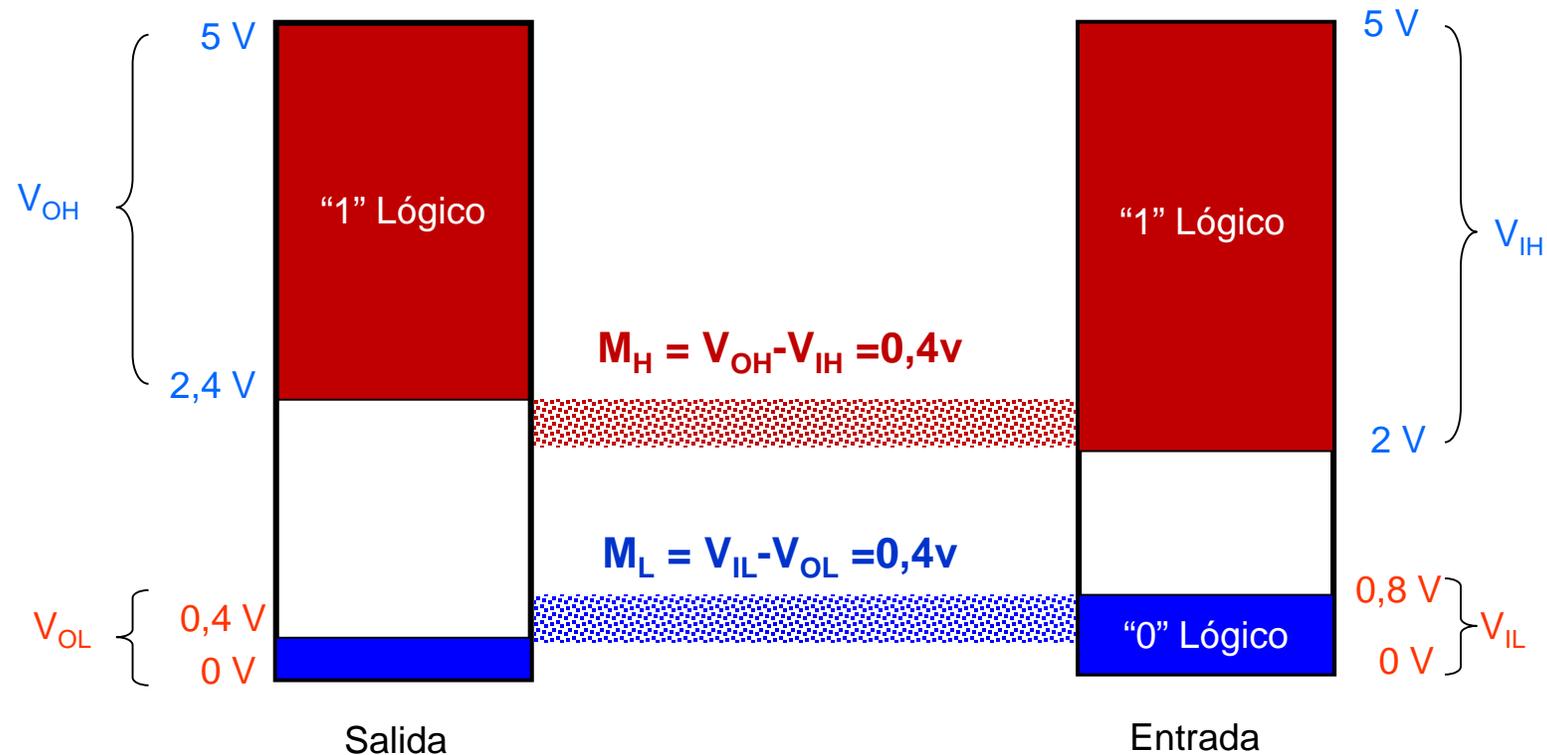


FAMILIA TTL. CARACTERÍSTICAS OPERACIONALES

MÁRGENES DE RUIDO

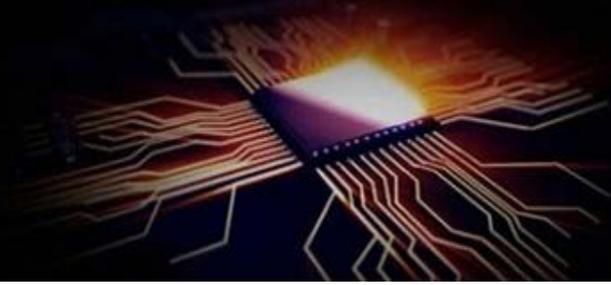


- Inmunidad de ruido para la familia TTL, típicamente 0.4 V. (a alto y bajo nivel). Cualquier alteración con un pico negativo de hasta 0,4v no supondrá un cambio en el dato (“0” o “1”).



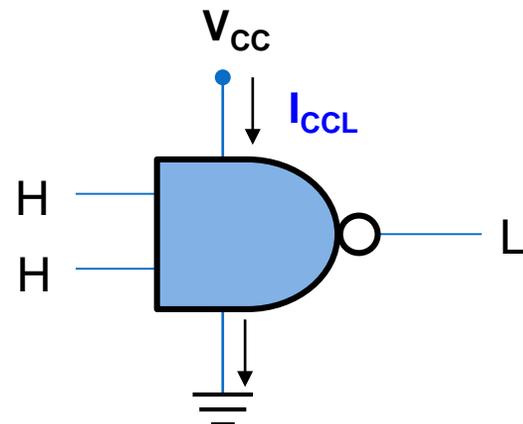
FAMILIA TTL. CARACTERÍSTICAS OPERACIONALES

DISIPACIÓN DE POTENCIA



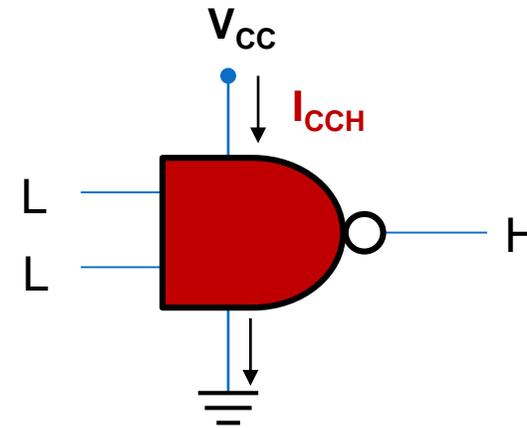
- Existe una relación directa entre la potencia y la velocidad de funcionamiento. **A mayor consumo, mayor velocidad.** En algunas ocasiones habrá que optar por una solución de compromiso, puesto que ni la potencia alta ni la velocidad lentas interesan.

- El consumo de las familias CMOS es muy inferior comparado con las familias TTL.



$$P_D = V_{CC} I_{CCL} = 16mW$$

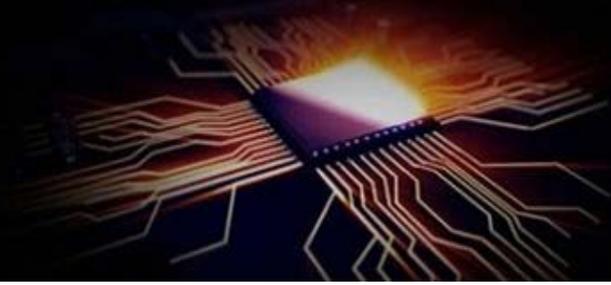
$$P_D = 10,5mW$$



$$P_D = V_{CC} I_{CCH} = 5mW$$

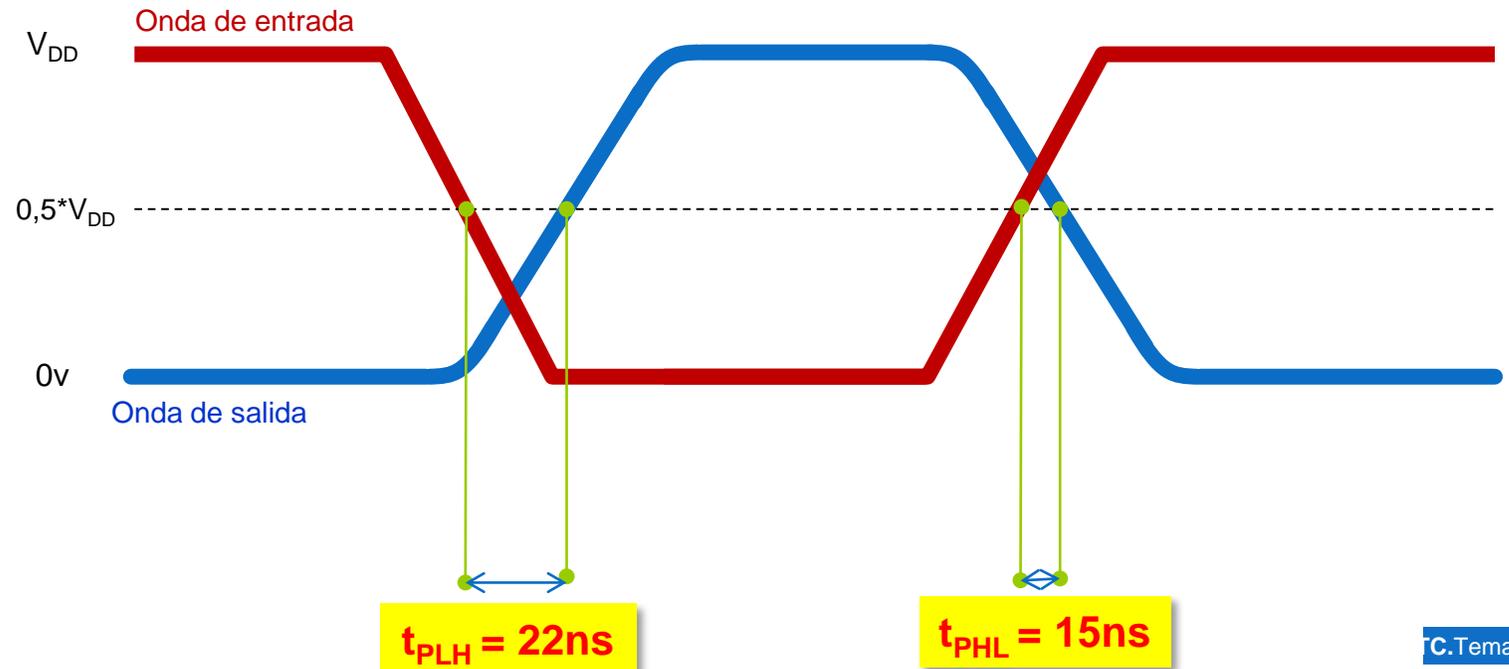
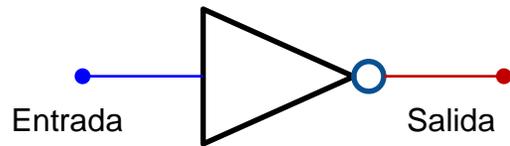
FAMILIA TTL. CARACTERÍSTICAS OPERACIONALES DINÁMICAS

RETARDO DE PROPAGACIÓN



■ Los **retardos de propagación** de la familia TTL podríamos calificarlos como bajos, ya que el valor medio está en los 18,5 ns.

■ El retardo de propagación de una puerta limita la frecuencia a la que puede trabajar. Cuanto mayor es el retardo de propagación, menor es la frecuencia máxima



Tiempo de propagación L-H (t_{PLH})

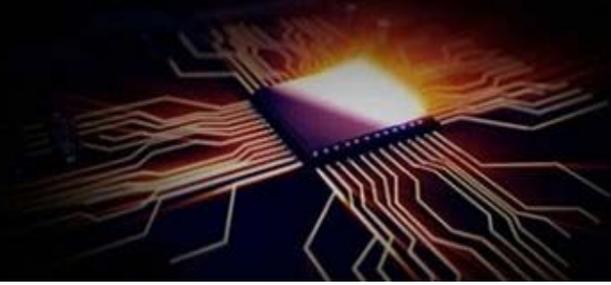
Tiempo de propagación H-L (t_{PHL}):

Ambos se definen entre el 50% de la tensión de entrada y el 50% del pulso de salida.

Tiempo de propagación medio = $(t_{PLH} + t_{PHL})/2$

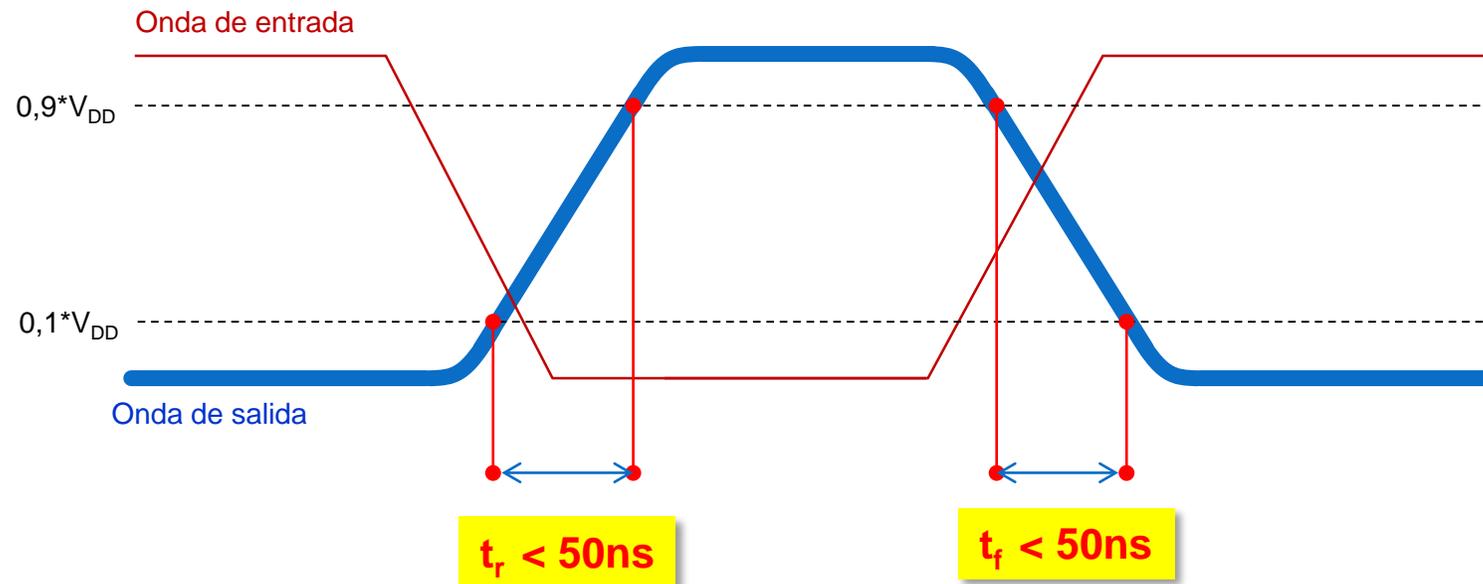
FAMILIAS TTL. CARACTERÍSTICAS OPERACIONALES DINÁMICAS

TIEMPOS DE TRANSICIÓN

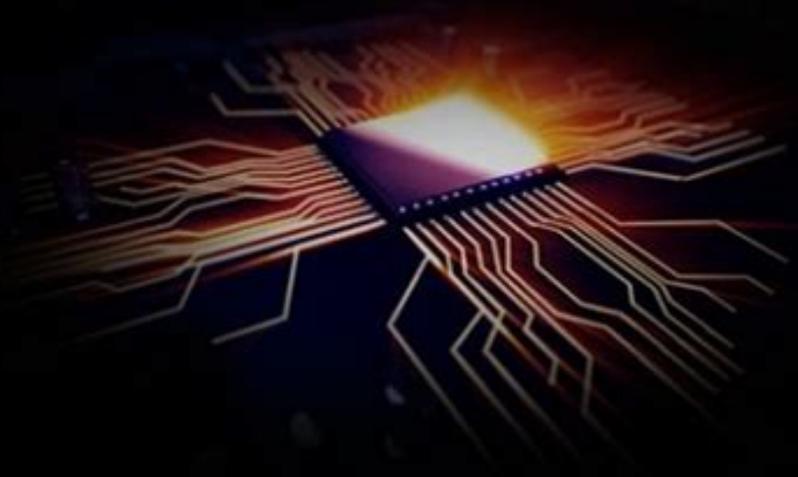


- Los tiempos de transición están asociados a los transitorios originados a las capacidades parásitas

- Se definen entre los puntos correspondientes al 10% y 90% de la transición total de la tensión a la entrada de una puerta estándar de un CI, y reciben el nombre de tiempo de subida y tiempo de bajada



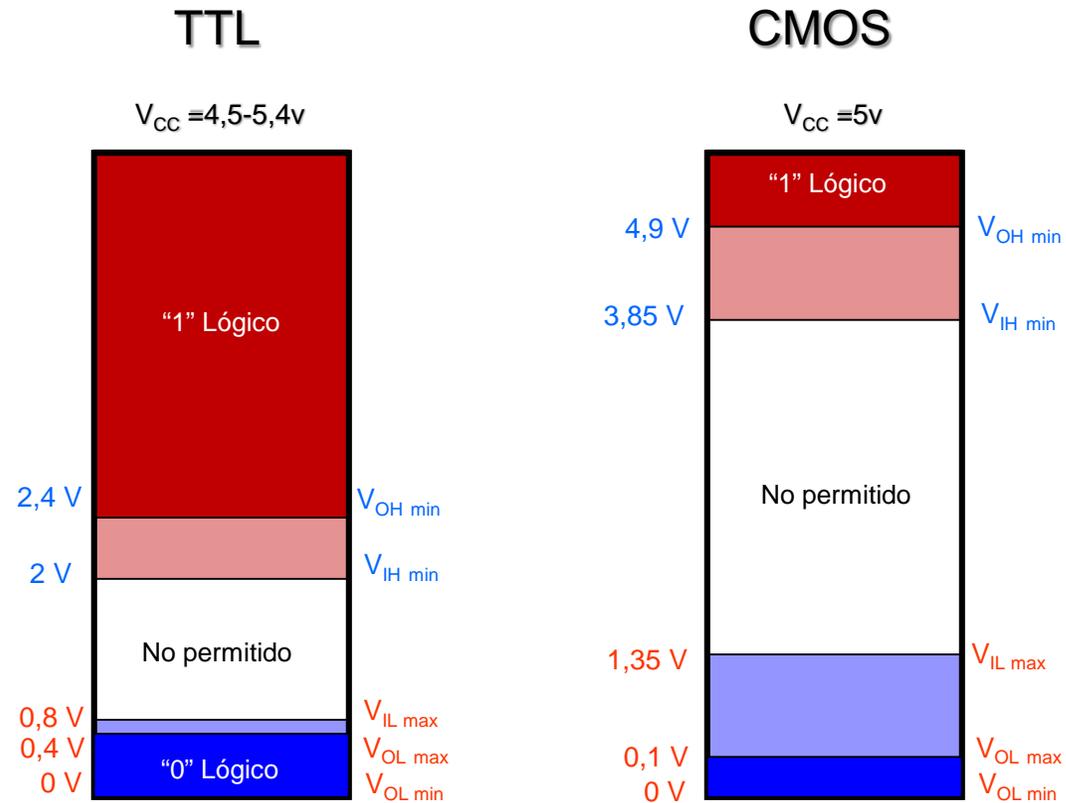
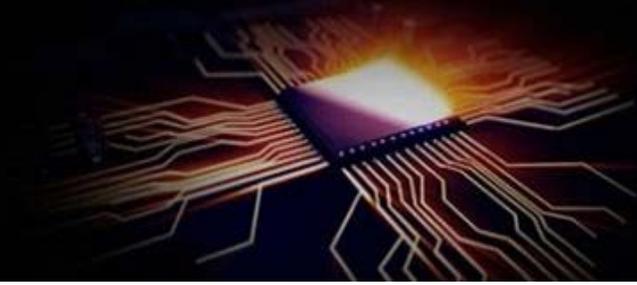
Tiempo de subida (rise) (t_r):
Tiempo de bajada (fall) (t_f):



Lógica Integrada CMOS vs TTL

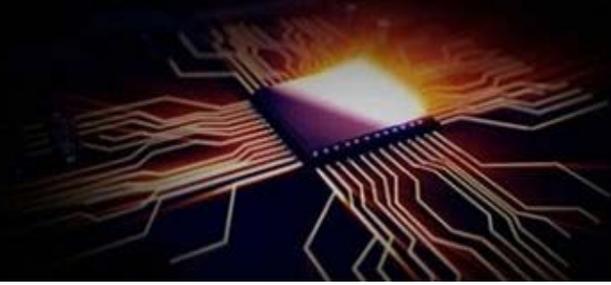
FAMILIA CMOS. CARACTERÍSTICAS OPERACIONALES

TENSIONES DE ENTRADA Y SALIDA VS TTL



FAMILIA CMOS. CARACTERÍSTICAS OPERACIONALES

CARGABILIDAD DE SALIDA O *FAN-OUT*

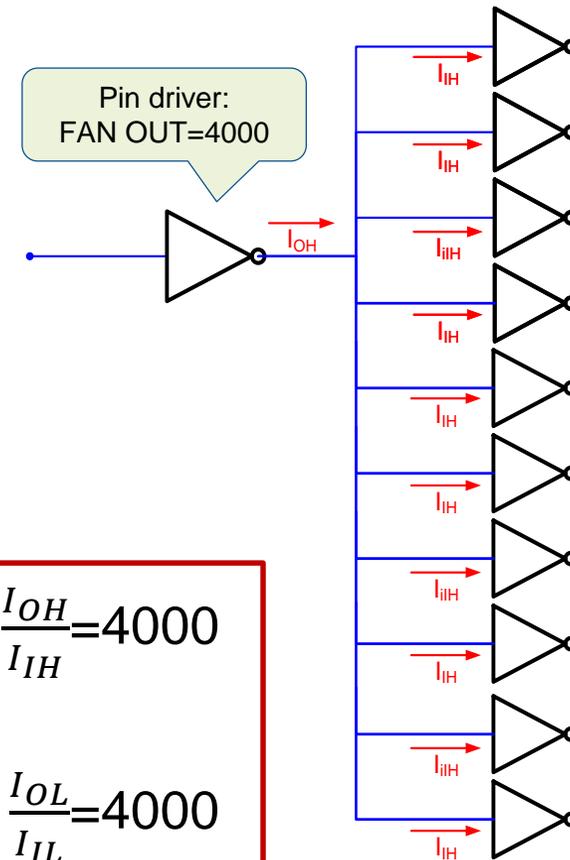


- El *FAN-OUT* de los CI CMOS es mucho más alto que TTL

- I_{IL} and I_{IH} mucho para CMOS (típicamente $< 1\mu A$)

 - Haciendo los cálculos como se hicieron para TTL saldría **4000**

 - Sin embargo, este incremento, tiene un efecto perverso si se intenta aprovechar, ya que aumenta el retardo debido a la capacitancia

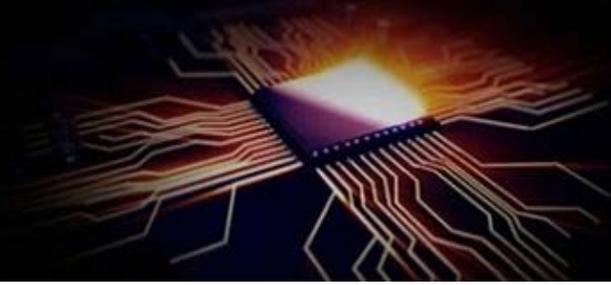


$$FANOUT_H = \frac{I_{OH}}{I_{IH}} = 4000$$

$$FANOUT_L = \frac{I_{OL}}{I_{IL}} = 4000$$

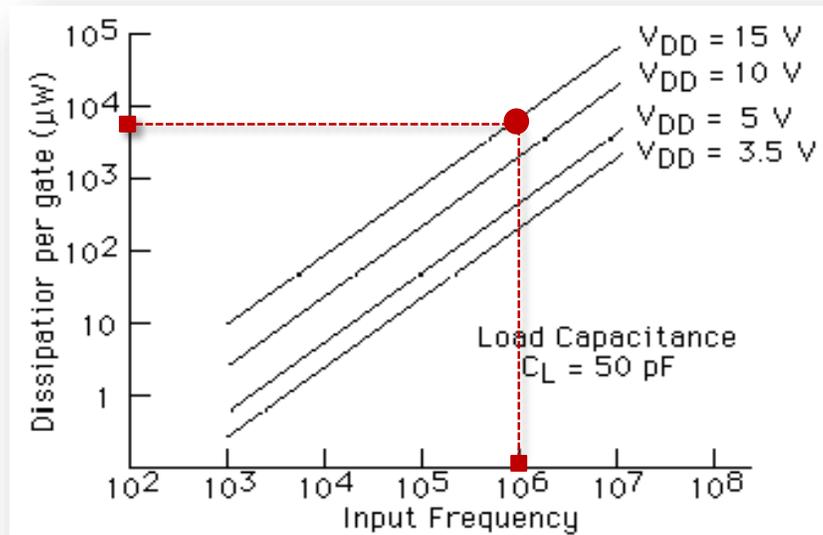
FAMILIA CMOS. CARACTERÍSTICAS OPERACIONALES

DISIPACIÓN DE POTENCIA

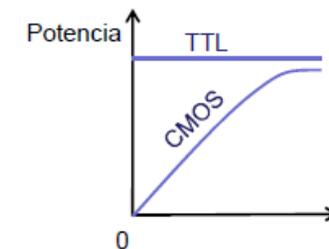


- La lógica CMOS se caracteriza por su consumo de energía **extremadamente bajo** y su alta inmunidad al ruido.
 - Por lo tanto, se utiliza con frecuencia en dispositivos que exigen una disipación de baja potencia, como relojes de pulsera digitales y otros dispositivos alimentados por batería
 - A diferencia de la lógica TTL, la lógica CMOS requiere dos voltajes de alimentación, VDD y VSS. En los diseños lógicos típicos, VDD oscila entre +3 V y +16 V. El otro suministro, VSS, normalmente está conectado a tierra
 - Sin embargo, a medida que aumenta la frecuencia de conmutación, la disipación de potencia se vuelve importante. Por encima de **1 MHz**, la disipación de potencia podría exceder la disipación de potencia TTL (≈ 10 mW)

Disipación de potencia típica de una puerta CMOS

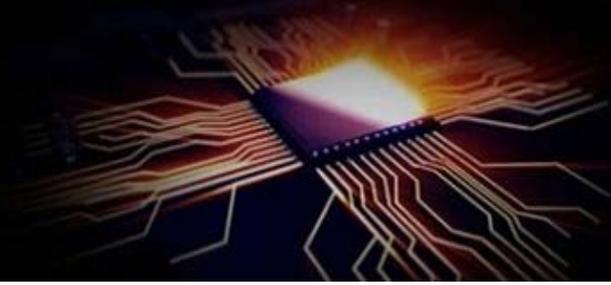


En los circuitos CMOS actuales, la mayor parte del consumo de potencia se produce en las transiciones entre estados. A mayor velocidad, mayor consumo: alta disipación dinámica y muy baja disipación estática.

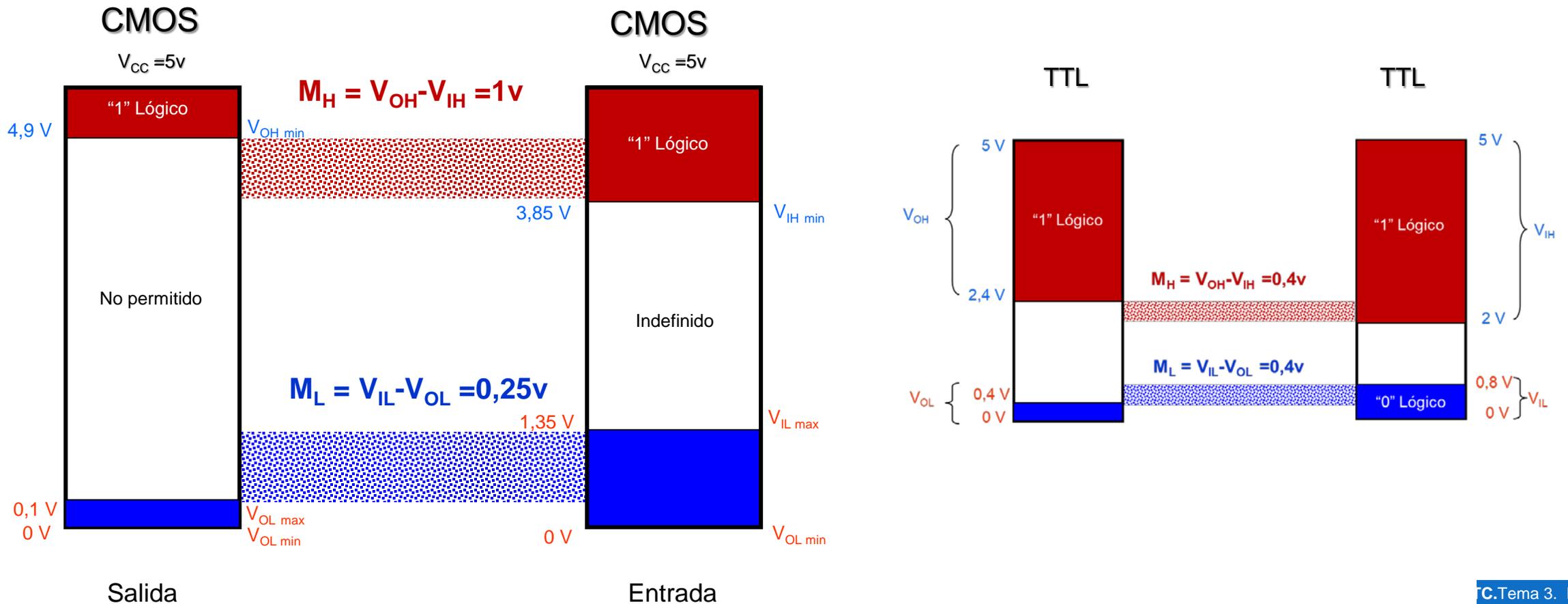


FAMILIA CMOS. CARACTERÍSTICAS OPERACIONALES

MARGENES DE RUIDO

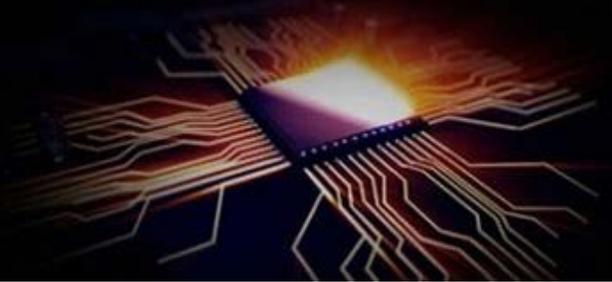


- Los CI CMOS son buenos para entornos ruidosos, como fábricas de automóviles y plantas industriales

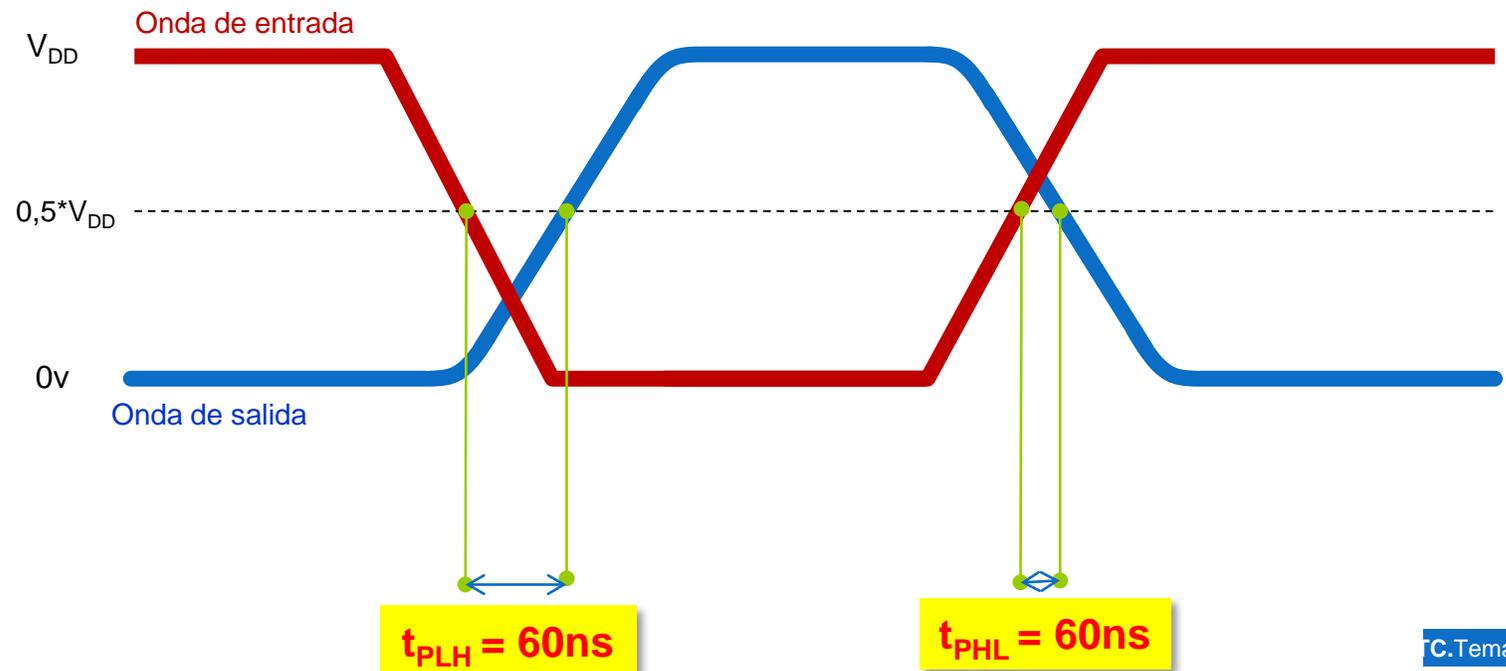
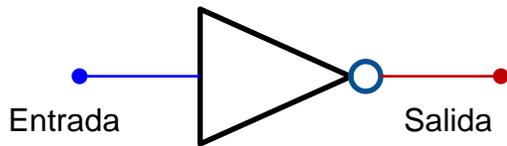


FAMILIA CMOS. CARACTERÍSTICAS OPERACIONALES DINÁMICAS

RETARDO DE PROPAGACIÓN



- Los tiempos de retardo de propagación para los dispositivos CMOS son relativamente grandes debido a su alta impedancia de salida. Típicamente **60ns** para V_{DD} a 5 V.
 - Al duplicar la tensión de alimentación se dobla la velocidad de una puerta CMOS.



Tiempo de propagación L-H (t_{PLH})

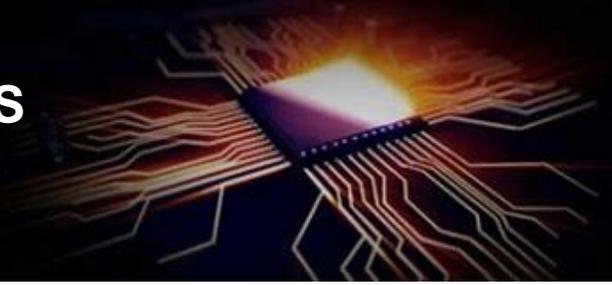
Tiempo de propagación H-L (t_{PHL}):

Ambos se definen entre el 50% de la tensión de entrada y el 50% del pulso de salida.

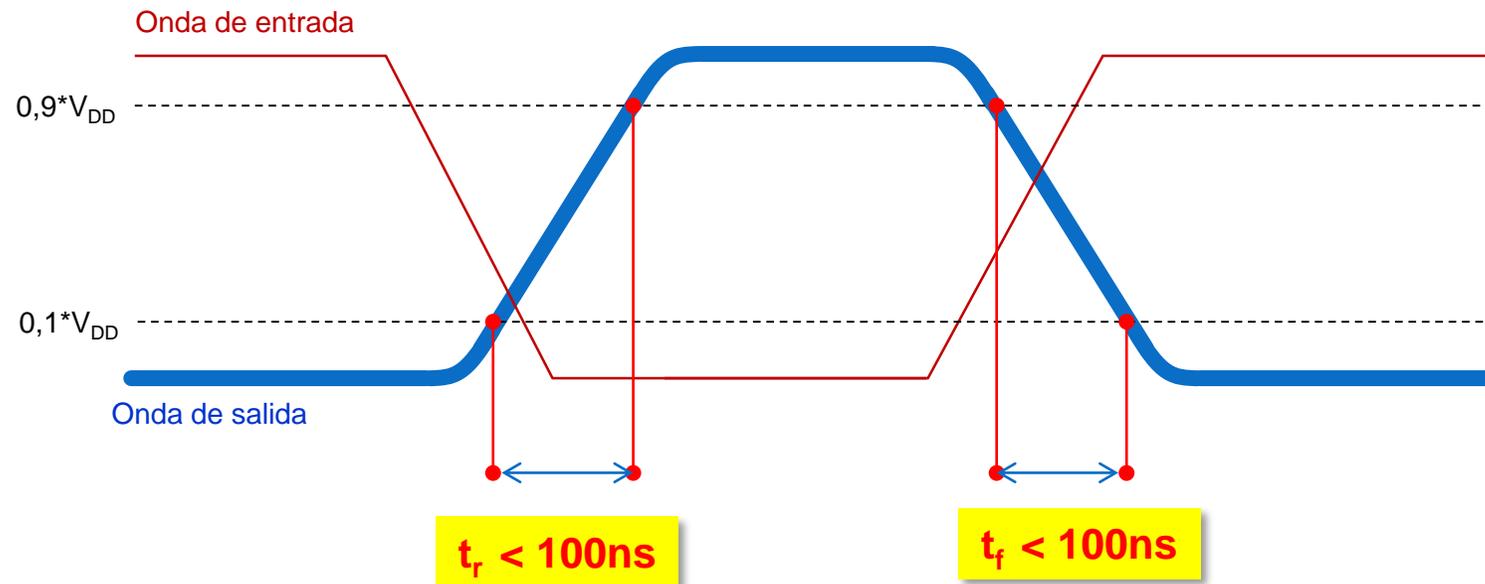
Tiempo de propagación medio = $(t_{PLH} + t_{PHL})/2$

FAMILIAS CMOS. CARACTERÍSTICAS OPERACIONALES DINÁMICAS

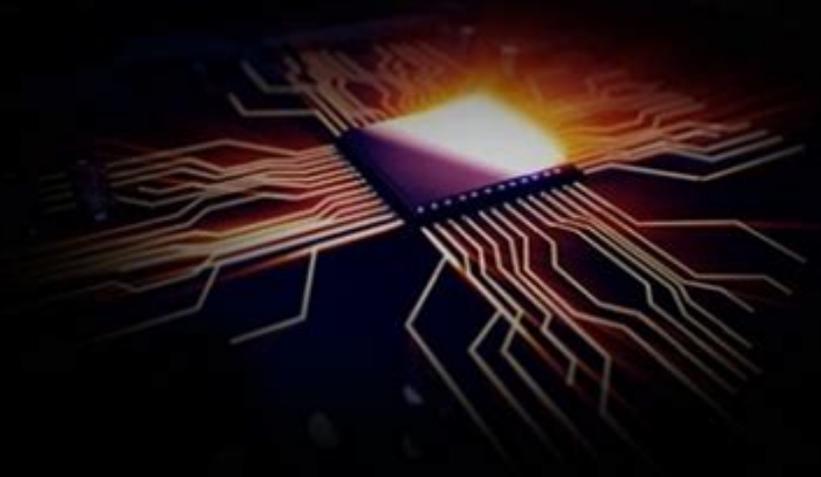
TIEMPOS DE TRANSICIÓN



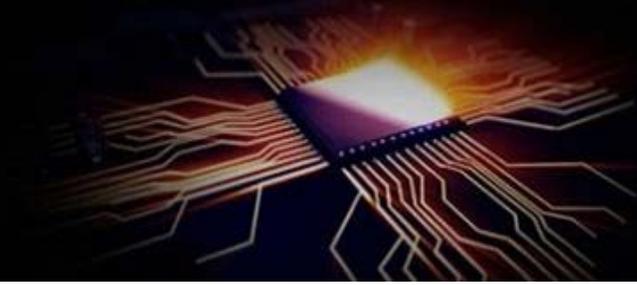
- Los tiempos de subida y bajada suelen ser rampas en lugar escalones y son entre un 20 y un 40% más largos que los retardos de propagación



Tiempo de subida (rise) (t_r):
Tiempo de bajada (fall) (t_f):

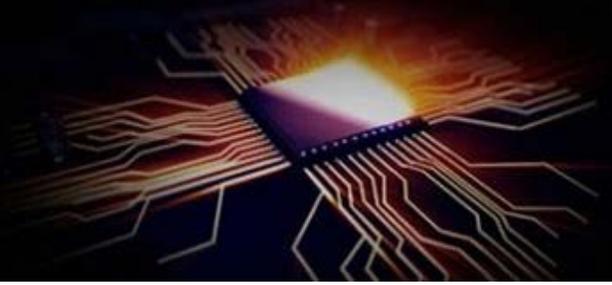


COMPATIBILIDAD ENTRE FAMILIAS. INTERFACES ELÉCTRICAS



- Aunque inicialmente, los dispositivos TTL eran superiores a los CMOS en velocidad (menor tiempo de retardo) y capacidad de corriente de salida. En la actualidad los CMOS son la tecnología dominante en circuitos integrados, (TTL todavía se usa).
 - Existe una familia de circuitos, **BiCMOS**, que combina la lógica CMOS con diseño de salida TTL, para intentar conjuntar las ventajas de ambas tecnologías

CONDICIONES DE COMPATIBILIDAD ENTRE FAMILIAS



- Para dos CI de diferentes familias se puedan interconectar sin problemas se deben de cumplir las siguientes condiciones referidas a tensiones y corrientes de entrada y salida:

$$V_{OL \max} (driver) \leq V_{IL \max} (receiver) \quad [1]$$

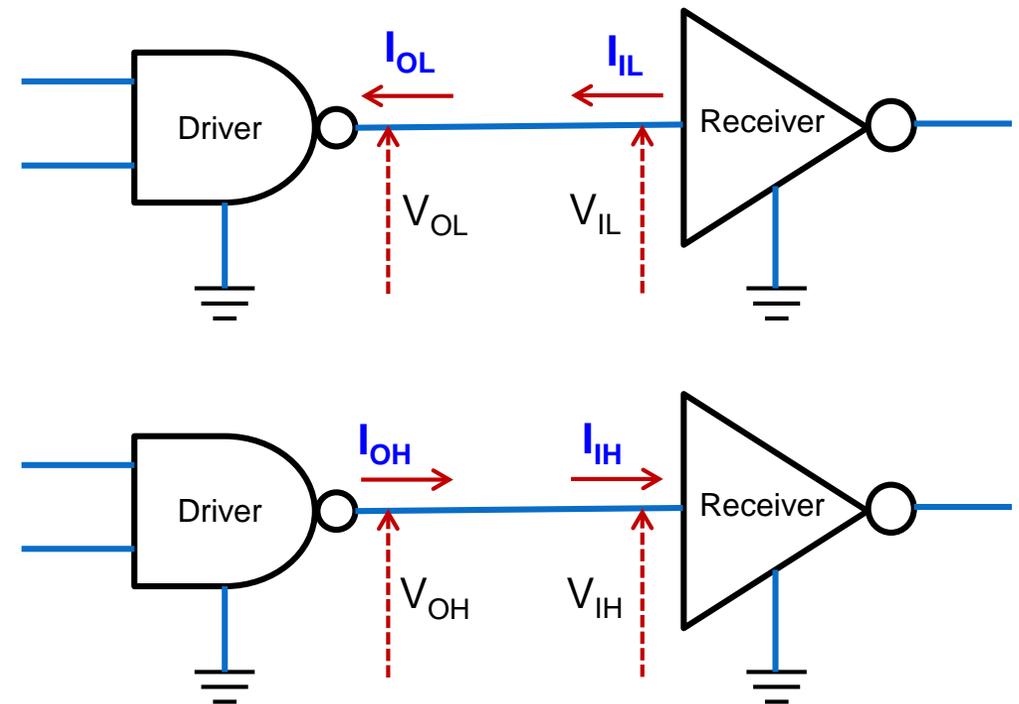
$$V_{OH \min} (driver) \geq V_{IH \min} (receiver) \quad [2]$$

$$V_{OL \min} (driver) \geq V_{IL \min} (receiver) \quad [3]$$

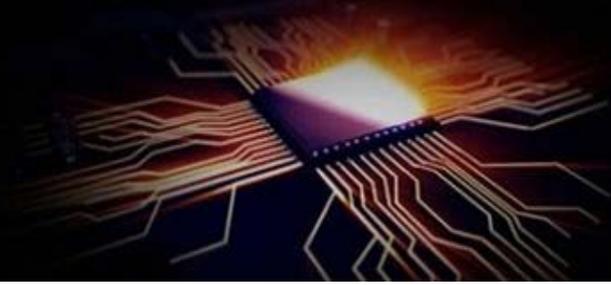
$$V_{OH \max} (driver) \leq V_{IH \max} (receiver) \quad [4]$$

$$|I_{OH \max}| \geq |I_{IH \max}| \quad [5]$$

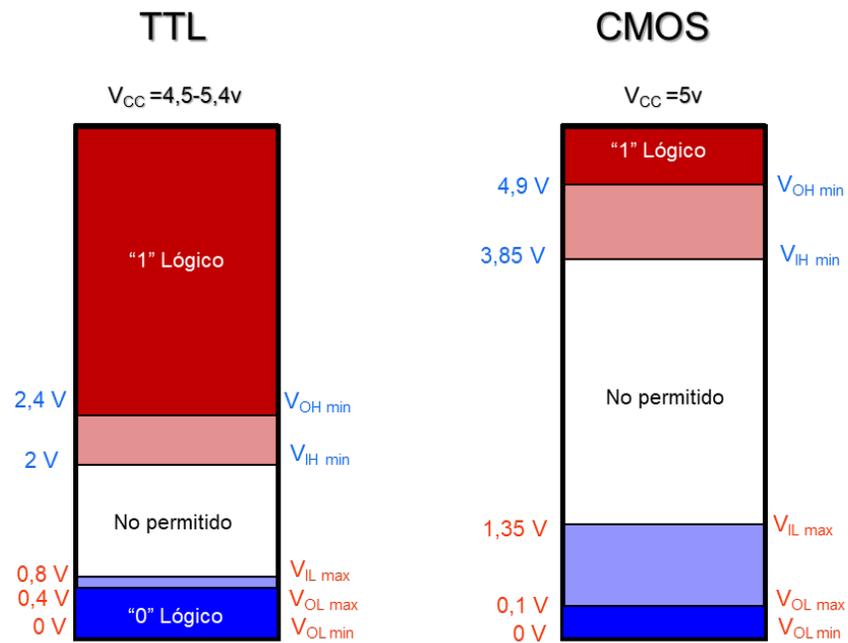
$$|I_{OL \max}| \geq |I_{IL \max}| \quad [6]$$



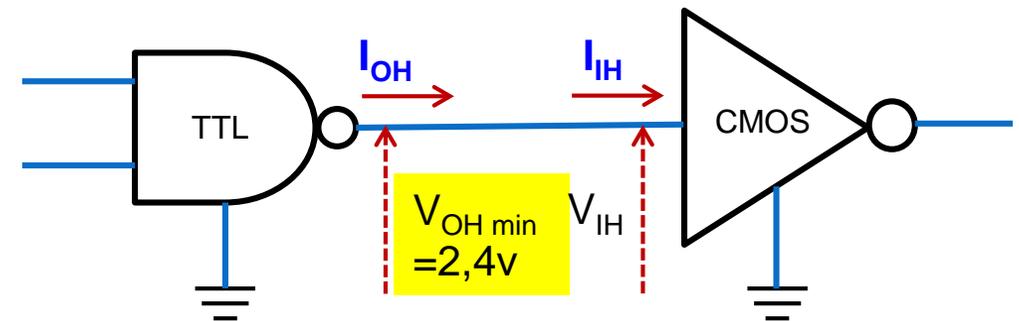
INCOMPATIBILIDAD DE TTL A CMOS



- Todas las ecuaciones de compatibilidad se cumplen excepto la [2]
 - La **corriente no es problema** ya que CMOS requiere muy poca corriente de entrada.
 - En cuanto a los **niveles de tensión a nivel bajo de salida TTL cumple**.
 - No ocurre lo mismo a nivel alto, ya que la puerta TTL podría tener un nivel alto de salida $V_{OHmin} = 2,4v$ que no es permitido en CMOS

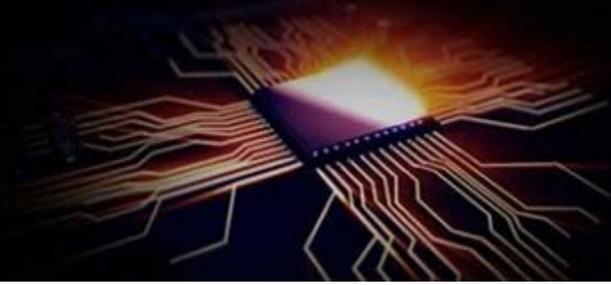


$V_{OHmin} (driver) \not\geq V_{IHmin} (receiver)$ [2]

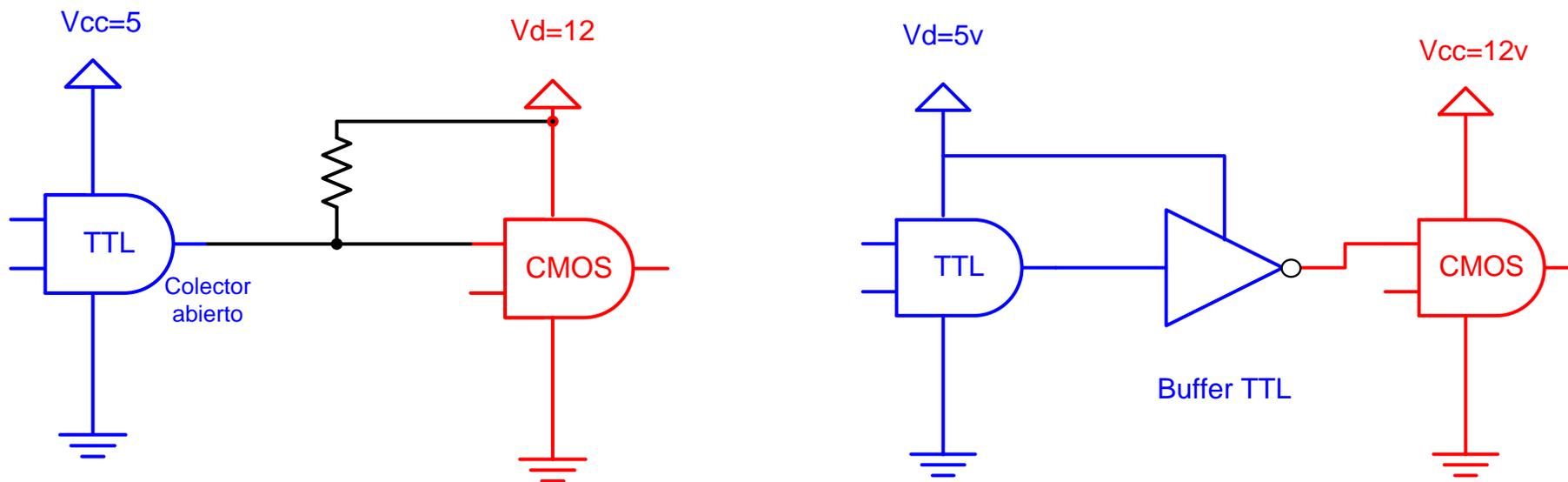


INCOMPATIBILIDAD DE TTL A CMOS

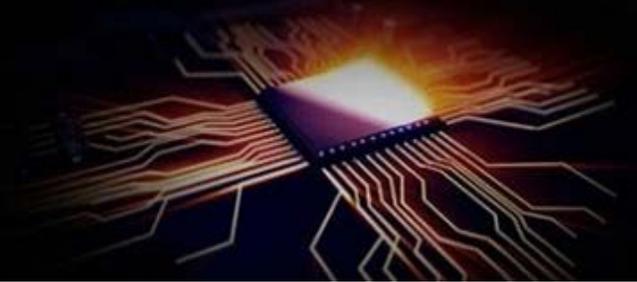
SOLUCIÓN



- Para salvar la incompatibilidad TTL-CMOS se recomienda el uso de puertas TTL de colector abierto o bien un buffer TTL en colector abierto como el 7406

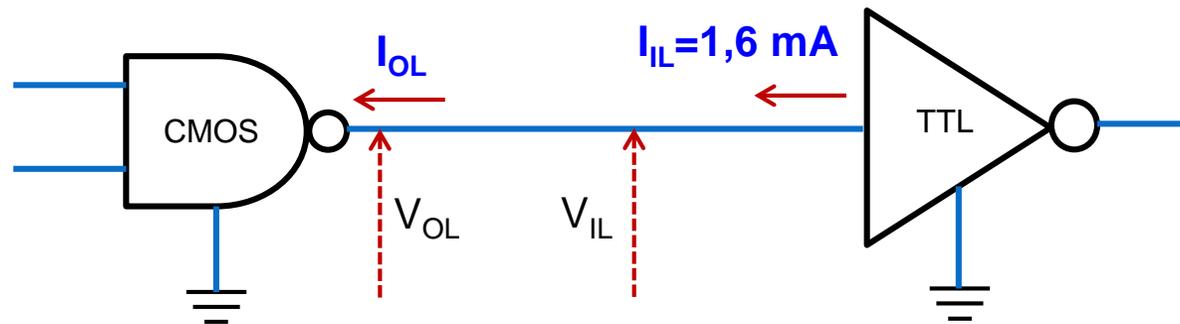


INCOMPATIBILIDAD DE CMOS A TTL



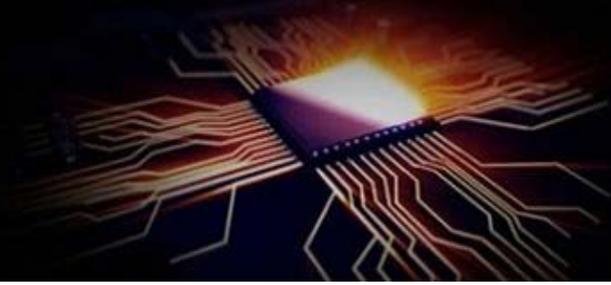
- El driver CMOS, a nivel bajo, es incapaz de drenar la corriente que le suministra la puerta TTL

$$|I_{OL \max}| \not\geq |I_{IL \max}| \quad [6]$$

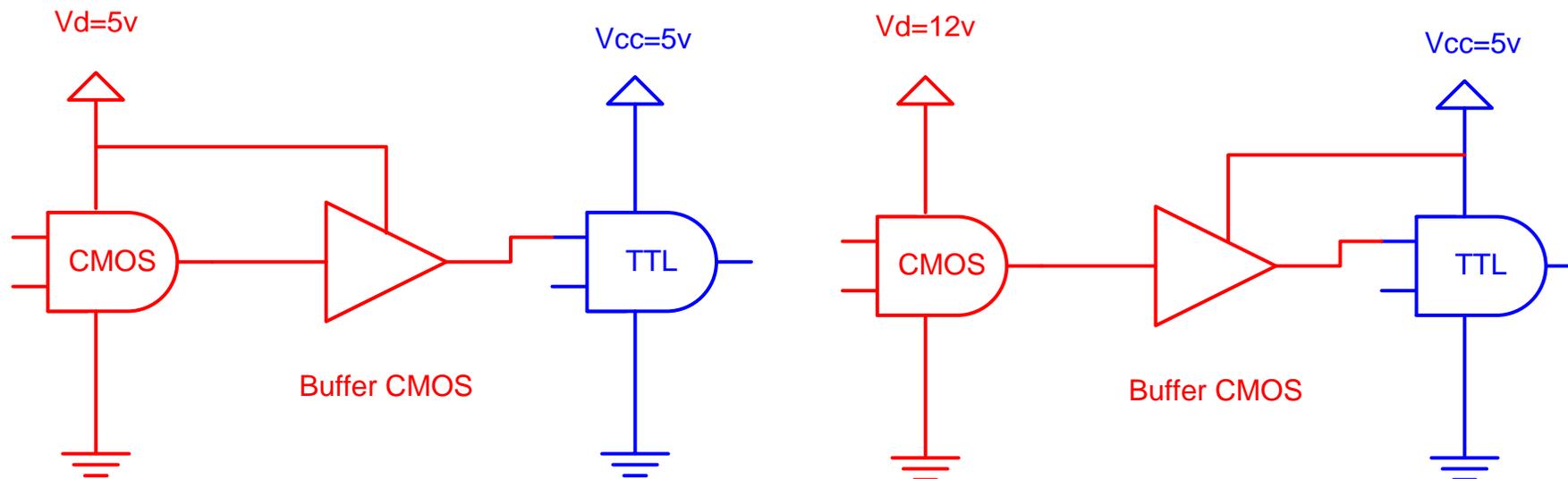


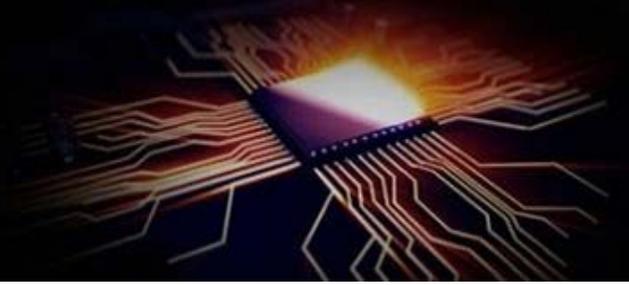
INCOMPATIBILIDAD DE CMOS A TTL

SOLUCIÓN



- Para resolver el problema de la incompatibilidad en corriente se suele intercalar un buffer CMOS (como el 4096) especialmente diseñado para este fin.





- Las puertas lógicas se clasifican no sólo por sus funciones lógicas, sino también por sus familias lógicas.
- En cualquier implementación de un sistema digital, la comprensión de las capacidades físicas y limitaciones de un elemento lógico, determinada por su familia lógica, son fundamentales para el funcionamiento adecuado.
- Por ello, el propósito de este tema es proporcionar una comprensión de algunas de las características técnicas de la familias *transistor-transistor logic (TTL)* y *Complementary Metal Oxide Semiconductor logic (CMOS)*